

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-197889

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01L 27/146
H01L 21/28
H01L 21/3205
H01L 21/768
H01L 21/8234
H01L 21/8238
H01L 27/088
H01L 27/092
H04N 5/335

(21)Application number : 2001-392455

(71)Applicant : SONY CORP

(22)Date of filing : 25.12.2001

(72)Inventor : WATANABE SHINYA

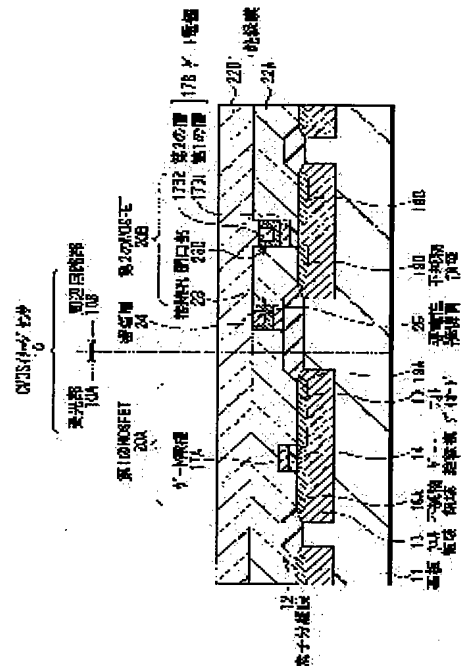
(54) MOS-TYPE SOLID-STATE IMAGE PICKUP DEVICE AND MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS-type solid-state image pickup device where the picture quality of a light receiving part can be made high and the performance of a peripheral circuit part can be improved concurrently with a simple process and constitution.

SOLUTION: The light receiving part 10A and the peripheral circuit part 10B are formed on a single substrate 11. A gate electrode 17A of a first MOSFET 20A in the light receiving part 10A has a single layer structure of polycrystalline silicon. A gate electrode 17B of a second MOSFET 30B in the peripheral circuit part 10B has a laminated structure of a first layer 17B1 constituted of polycrystalline silicon and a second layer 17B2 constituted of tungsten, for example. The light receiving part 10A and the peripheral circuit part 10B are covered with an insulating film 22A having a conductive connection layer 25 disposed in a connection hole 23. The second layer 17B2 and the conductive connection layer 25 are formed of the same materials.

The second layer 17B2 is formed in an opening part 23B made in a position corresponding to the first layer 17B1 of the insulating film 22A.



LEGAL STATUS

[Date of request for examination]

29.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-197889
(P2003-197889A)

(43) 公開日 平成15年7月11日 (2003.7.11)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)	
H 0 1 L 27/146		H 0 1 L 21/28	3 0 1 A	4 M 1 0 4
21/28	3 0 1		3 0 1 R	4 M 1 1 8
21/3205		H 0 4 N 5/335	E	5 C 0 2 4
21/768			U	5 F 0 3 3
		H 0 1 L 27/14	A	5 F 0 4 8
審査請求 未請求 請求項の数21 O L (全 28 頁) 最終頁に続く				

(21) 出願番号 特願2001-392455(P2001-392455)

(22) 出願日 平成13年12月25日 (2001. 12. 25)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 渡辺 慎也

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

(74) 代理人 100098785

弁理士 藤島 洋一郎

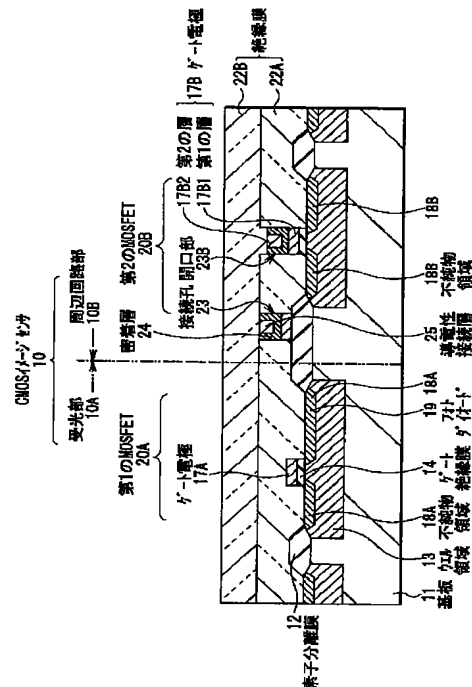
最終頁に続く

(54) 【発明の名称】 MOS型固体撮像装置およびその製造方法

(57) 【要約】

【課題】 簡単な工程および構成により、受光部の高画質化と周辺回路部の性能向上とを両立させることのできるMOS型固体撮像装置を提供する。

【解決手段】 同一の基板11上に受光部10Aと周辺回路部10Bを形成する。受光部10Aの第1のMOSFET 20Aのゲート電極17Aは多結晶シリコンの単層構造である。周辺回路部10Bの第2のMOSFET 30Bのゲート電極17Bは、多結晶シリコンよりなる第1の層17B1と、例えばタングステンよりなる第2の層17B2との積層構造である。受光部10Aおよび周辺回路部10Bは絶縁膜22Aにより覆われ、絶縁膜22Aには接続孔23内に導電性接続層25が設けられている。第2の層17B2と導電性接続層25とは同一の材料により構成されている。第2の層17B2は、絶縁膜22Aの第1の層17B1に対応する位置に設けられた開口部23B内に形成される。



【特許請求の範囲】

【請求項 1】 基板上にマトリクス状に配置された複数の光電変換素子、ならびに、この複数の光電変換素子の各々に対応して設けられるとともに単層構造のゲート電極およびこのゲート電極に対応する一対の不純物領域を有する第 1 の MOS 電界効果トランジスタを備えた受光部と、

少なくとも第 1 の層および第 2 の層を含む積層構造のゲート電極ならびにこのゲート電極に対応する他の一対の不純物領域を有する第 2 の MOS 電界効果トランジスタ

を備えるとともに前記基板上の前記受光部の周辺に形成される周辺回路部と、

この周辺回路部および前記受光部を覆う絶縁膜と、

この絶縁膜の所定の位置に設けられ前記絶縁膜を貫通する接続孔と、

この接続孔内に形成されるとともに前記第 2 の層と同一の材料により構成された導電性接続層と、

前記絶縁膜の前記第 1 の層に対応する位置に設けられ前記絶縁膜を貫通するとともに内部に前記第 2 の層が形成された開口部とを備えたことを特徴とする MOS 型固体撮像装置。

【請求項 2】 前記受光部は複数のマイクロレンズおよび複数のカラーフィルタの少なくとも一方を備え、前記複数のマイクロレンズおよび前記複数のカラーフィルタは前記複数の光電変換素子の各々に対向するよう配置されることを特徴とする請求項 1 記載の MOS 型固体撮像装置。

【請求項 3】 前記第 1 の MOS 電界効果トランジスタのゲート電極と、前記第 1 の層とは、多結晶シリコンにより構成され、

前記第 2 の層と、前記導電性接続層とは、多結晶シリコンまたは金属を含んで構成されていることを特徴とする請求項 1 記載の MOS 型固体撮像装置。

【請求項 4】 前記第 2 の層と、前記導電性接続層とは、多結晶シリコン、タングステンシリサイド (WSi)、タングステン (W) の少なくとも 1 種を含んで構成されていることを特徴とする請求項 3 記載の MOS 型固体撮像装置。

【請求項 5】 前記絶縁膜は、二酸化シリコン (SiO₂) および酸化シリコン系材料の少なくとも一方により構成されていることを特徴とする請求項 1 記載の MOS 型固体撮像装置。

【請求項 6】 前記受光部および前記周辺回路部と前記絶縁膜との間に、シリコン窒化膜を有することを特徴とする請求項 1 記載の MOS 型固体撮像装置。

【請求項 7】 前記接続孔および前記開口部の内面は、タングステン (W)、窒化タングステン (WN)、チタン (Ti) および窒化チタン (TiN) のうち少なくとも 1 種により構成された密着層により覆われていることを特徴とする請求項 1 記載の MOS 型固体撮像装置。

【請求項 8】 前記光電変換素子は、フォトダイオードであることを特徴とする請求項 1 記載の MOS 型固体撮像装置。

【請求項 9】 前記第 1 の MOS 電界効果トランジスタまたは前記第 2 の MOS 電界効果トランジスタを電氣的に分離するための素子分離膜を備え、前記導電性接続層は、前記素子分離膜および前記不純物領域のうち少なくとも一方に対応する位置に形成されたことを特徴とする請求項 1 記載の MOS 型固体撮像装置。

【請求項 10】 前記素子分離膜は、LOCOS または STI により形成されたものであることを特徴とする請求項 9 記載の MOS 型固体撮像装置。

【請求項 11】 前記導電性接続層は、前記第 1 の MOS 電界効果トランジスタの不純物領域に対応して形成された局所配線であることを特徴とする請求項 1 記載の MOS 型固体撮像装置。

【請求項 12】 基板上に、第 1 の MOS 電界効果トランジスタのゲート電極と第 2 の MOS 電界効果トランジスタのゲート電極の第 1 の層とを形成する工程と、

前記第 1 の MOS 電界効果トランジスタのゲート電極に対応する一対の不純物領域および前記第 2 の MOS 電界効果トランジスタのゲート電極に対応する他の一対の不純物領域を形成することにより、前記第 1 の MOS 電界効果トランジスタの一対の不純物領域の一方を兼ねる光電変換素子および前記第 1 の MOS 電界効果トランジスタを含む受光部と前記第 2 の電界効果トランジスタを含む周辺回路部とを形成する工程と、

前記周辺回路部および前記受光部を絶縁膜により覆う工程と、

前記絶縁膜の所定の位置に前記絶縁膜を貫通する接続孔を形成するとともに、前記絶縁膜の前記第 1 の層に対応する位置に前記絶縁膜を貫通する開口部を形成する工程と、

前記開口部内に前記第 2 の MOS 電界効果トランジスタのゲート電極の第 2 の層を形成するとともに、前記接続孔内に前記第 2 の層と同一の材料により導電性接続層を形成する工程とを含むことを特徴とする MOS 型固体撮像装置の製造方法。

【請求項 13】 前記第 2 の層および前記導電性接続層を形成する工程において、エッチバック法および化学機械研磨法の少なくとも一方を用いることを特徴とする請求項 12 記載の MOS 型固体撮像装置の製造方法。

【請求項 14】 前記第 1 の MOS 電界効果トランジスタのゲート電極と前記第 1 の層とを形成する工程を、多結晶シリコンの反応性イオンエッチングにより行うことを特徴とする請求項 12 記載の MOS 型固体撮像装置の製造方法。

【請求項 15】 前記絶縁膜に前記貫通孔を形成する工程を、反応性イオンエッチングにより行うことを特徴と

する請求項 1 2 記載の MOS 型固体撮像装置の製造方法。

【請求項 1 6】 前記第 2 の層と、前記導電性接続層とを、多結晶シリコンまたは金属を含んで構成することを特徴とする請求項 1 2 記載の MOS 型固体撮像装置の製造方法。

【請求項 1 7】 前記第 2 の層と、前記導電性接続層とを、多結晶シリコン、タングステンシリサイド (WSi) ; タングステン (W) の少なくとも 1 種を含んで構成することを特徴とする請求項 1 6 記載の MOS 型固体撮像装置の製造方法。

【請求項 1 8】 前記絶縁膜を、二酸化シリコンおよび酸化シリコン系材料の少なくとも一方により構成することを特徴とする請求項 1 2 記載の MOS 型固体撮像装置の製造方法。

【請求項 1 9】 前記接続孔および前記開口部を形成する工程において、前記接続孔および前記開口部の内面に、タングステン (W) , 窒化タングステン (WN) , チタン (Ti) および窒化チタン (TiN) のうち少なくとも 1 種により構成された密着層を形成することを特徴とする請求項 1 2 記載の MOS 型固体撮像装置の製造方法。

【請求項 2 0】 前記光電変換素子としてフォトダイオードを形成することを特徴とする請求項 1 2 記載の MOS 型固体撮像装置の製造方法。

【請求項 2 1】 前記導電性接続層として、前記ゲート電極とこのゲート電極に対応する前記不純物領域とを接続する局所配線を形成することを特徴とする請求項 1 2 記載の MOS 型固体撮像装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビデオカメラ、スチルカメラ、監視カメラおよび車載カメラなどの画像入力装置、または、携帯電話などのモバイル機器に搭載されるカメラ機能として好適な MOS 型固体撮像装置およびその製造方法に係り、特に、信号処理回路などの周辺回路と受光部とを同一の半導体基板上に混載するとともに周辺回路を CMOS FET (相補型 MOS 電界効果トランジスタ) を用いて構成した CMOS イメージセンサなどの MOS 型固体撮像装置およびその製造方法に関する。

【0002】

【従来の技術】従来より、民生用のデジタルスチルカメラまたは携帯電話等に用いる固体撮像装置として、CCD (Charge Coupled Device ; 電荷結合デバイス) を用いた CCD イメージセンサ、MOS 型固体撮像装置などが開発されている。MOS 型固体撮像装置は、フォトダイオードなどの光電変換素子にスイッチング素子として MOS FET (MOS 電界効果トランジスタ) を接続したものである。このような固体撮像装置においては、近

年、携帯性の面で小型化、軽量化、低消費電力化に関する要求が高まっており、これに応えるべく、従来、別チップで形成されていた信号処理回路や駆動回路などの付加機能装置を、周辺回路としてオンチップ (On chip) 化する技術の開発が進められている。

【0003】この技術開発で注目を集めているのが CMOS イメージセンサ (相補型 MOS イメージセンサ) である (IEEE Trans. On Electron Devices, 44, 10 pp1689-1698)。CMOS イメージセンサは、被写体の光情報を検出しデジタル信号として出力する受光部と、信号処理回路、駆動回路などの周辺回路とをオンチップ化し、通常の CMOS LSI (Large Scale Integrated Circuit) プロセス技術を用いて製造した MOS 型固体撮像装置である。CMOS イメージセンサでは、周辺回路部は MOS FET により構成され、汎用 DRAM (Dynamic Random Access Memory), ロジック/DRAM 混載デバイスなどのプロセスをそのまま流用して作製することが可能である。また、オンチップ化により、ビデオカメラ、デジタルスチルカメラ等において部品点数の削減による小型化、軽量化および低コスト化が実現される。さらに、周辺回路が CMOS 構成であることから低消費電力化も可能で、最近では携帯電話などモバイル機器への搭載に向けて開発が行われている。

【0004】従来、CMOS イメージセンサの製造プロセスは、例えば、図 2 4 および図 2 5 に示したように行われている。この CMOS イメージセンサ 1 1 0 は、例えばロジック/DRAM 混載デバイスで用いられているゲート電極構造および作製方法を CMOS イメージセンサに流用して製造した場合の例であり、受光部 1 1 0 A および周辺回路部 1 1 0 B とともにゲート電極を多結晶シリコン (Si) およびタングステンシリサイド (WSi) の積層構造とし、RIE (Reactive Ion Etching ; 反応性イオンエッチング) により形成している。なお、図 2 4 および図 2 5 において、二点鎖線の左側は受光部 1 1 0 A、右側は周辺回路部 1 1 0 B を表している。

【0005】まず、例えば n 型シリコン (Si) よりなる基板 1 1 1 に例えば LOCOS (Local Oxidation of Silicon) 技術により、例えば熱酸化シリコンよりなる例えば厚さ 200 nm の素子分離膜 1 1 2 を形成する。なお、LOCOS の代わりに STI (Shallow Trench Isolation) などの分離方法を用いてもよい。その後、図 2 4 (A) に示したように、ウェル領域 1 1 3 を形成し、ゲート絶縁膜 1 1 4 を形成する。

【0006】次いで、例えば厚さ 100 nm の多結晶シリコン膜 1 1 5 および例えば厚さ 100 nm の高温タングステンシリサイド膜 1 1 6 を順に成膜し、さらに図示しないフォトレジスト層を形成し、このフォトレジスト層をゲート電極 1 1 7 のパターンに従って選択的に除去し、その後、パターニングされたフォトレジスト層をマスクとして、例えば RIE により高温タングステンシリ

サイド膜 116, 多結晶シリコン膜 115 およびゲート絶縁膜 114 を選択的に除去し、ゲート電極 117 を形成する。その後、不純物の選択的注入により、図 24

(B) に示したように、不純物領域 118 を形成する。これにより、受光部 110A にはフォトダイオード 119 およびこのフォトダイオード 119 のスイッチング素子としての MOSFET 120A を形成するとともに、周辺回路部 110B を構成する MOSFET 120B を形成する。フォトダイオード 119 は MOSFET 120A のソースを兼ねる。不純物領域 118 に注入される 10 不純物は、NMOSFET の形成には例えばヒ素 (As)、PMOSFET の形成には例えばホウ素 (B) または二フッ化ホウ素 (BF_3) などを用いる。

【0007】さらに、例えば CVD (Chemical Vapor Deposition; 化学気相成長) 法により、基板 111 の全面を被覆するように、例えば厚さ 50 nm のシリコン窒化膜 121 を形成する。シリコン窒化膜 121 の形成は、例えば、 SiH_2Cl_2 を流量 50 sccm、 NH_3 を流量 200 sccm、 N_2 を流量 200 sccm で供給し、圧力 70 Pa の SiH_2Cl_2 と NH_3 と N_2 20 との混合雰囲気とし、基板温度 760℃にて行う。

【0008】続いて、例えば厚さ 1000 nm の BPSG (Boro-Phospho Silicate Glassfilm) よりなる層間絶縁膜 122 を例えば CVD 法により成膜する。層間絶縁膜 122 の形成は、例えば、 O_3 流量 720 mg/分、リン (P) 流量 120 mg/分、ホウ素流量 90 mg/分、常圧、520℃にて行う。その後、例えば N_2 雰囲気中において 850℃で 10 分間リフロー処理を行い、さらに CMP (Chemical Mechanical Polishing; 化学機械研磨) により例えば 400 nm 研磨し、図 25 30 (A) に示したように、層間絶縁膜 122 の表面を平坦化する。

【0009】次いで、図示しないフォトレジスト層を形成し、このフォトレジスト層を接続孔 (コンタクト) 123 のパターンに従って選択的に除去する。パターニングされたフォトレジスト層をマスクとして、例えばマグネトロン RIE 装置を用いたコンタクト RIE により、層間絶縁膜 122 およびシリコン窒化膜 121 を順次エッチング除去する。層間絶縁膜 122 のエッチングは、例えば、 CF_4 を流量 8 sccm、 CO を流量 50 sccm、 Ar を流量 300 sccm、 O_2 を流量 5 sccm で供給し、圧力 6.2 Pa の CF_4 と CO と Ar と O_2 との混合雰囲気とし、RF 電源により 1700 W の出力にて電圧を印加し、オーバーエッチ率 30% にて行う。続いて、シリコン窒化膜 121 のエッチングは、例えば、 CHF_3 を流量 40 sccm、 CO を流量 160 sccm、 O_2 を流量 14 sccm で供給し、圧力 6.2 Pa の CHF_3 と CO と O_2 との混合雰囲気とし、RF 電源により 1700 W の出力にて電圧を印加し、オーバーエッチ率 50% にて行う。こうして、直径 50

0.55 μm の円柱形の接続孔 123 を形成する。

【0010】その後、フォトレジスト層を除去し、接続孔 123 の内面に金属よりなる密着層 124 を例えばスパッタ法により成膜する。密着層 124 は、例えば、以下のようにして形成する。まず、例えば、 Ar を流量 35 sccm で供給し、圧力 0.52 Pa の Ar 雰囲気とし、投入電力 8 kW、300℃にて、例えば厚さ 30 nm のチタン (Ti) 層を形成する。次に、例えば、 N_2 を流量 42 sccm、 Ar を流量 21 sccm で供給し、圧力 0.78 Pa の N_2 と Ar との混合雰囲気とし、投入電力 6 kW、300℃で、例えば厚さ 70 nm の窒化チタン (TiN) 層を形成する。チタン層および窒化チタン層を形成した後、例えば N_2 雰囲気中で、650℃、圧力 101325 Pa (1 atm) で 30 秒間ランプアニール処理を行う。

【0011】その後、図 25 (B) に示したように、内面に密着層 124 が形成された接続孔 123 内に、例えばタングステン (W) よりなる接続プラグ 125 を形成する。まず、例えば厚さ 600 nm のタングステン層を例えば非選択 CVD (プランケット CVD) 法により成膜する。成膜条件は、例えば、 WF_6 を流量 40 sccm、 H_2 を流量 400 sccm、 Ar を流量 2250 sccm で供給し、圧力 10.7 kPa の WF_6 と H_2 と Ar との混合雰囲気、成膜温度 450℃とする。最後に、例えばマグネトロン RIE 装置を用いた RIE により、タングステン層の全面エッチバックを行う。

【0012】このエッチバック工程は、接続プラグ 125 となるタングステン層のエッチングを行う第 1 ステップ、密着層 124 をエッチングする第 2 ステップ、およびオーバーエッチングを行う第 3 ステップにより行われる。第 1 ステップのタングステン層のエッチングは、 SF_6 を流量 110 sccm、 Ar を流量 90 sccm、 He を流量 5 sccm で供給し、圧力 45.5 Pa の SF_6 と Ar と He との混合雰囲気とし、RF 電源により出力 275 W で行う。第 2 ステップの密着層 124 のエッチングは、 Ar を流量 75 sccm、 Cl_2 を流量 5 sccm で供給し、圧力 6.5 Pa の Ar と Cl_2 との混合雰囲気とし、RF 電源により出力 250 W で行う。第 3 ステップのオーバーエッチングは、 SF_6 を流量 20 sccm、 Ar を流量 10 sccm、 He を流量 1 sccm で供給し、圧力 32.5 Pa の SF_6 と Ar と He との混合雰囲気とし、RF 電源により出力 70 W で行う。

【0013】

【発明が解決しようとする課題】しかしながら、最近では受光部と周辺回路とを単にオンチップ化するだけでなく、オンチップ化された CMOS イメージセンサでも高画質化、小型化および低消費電力化が求められるようになり、受光部 (画素領域) の多画素化ないし微細化、および低消費電力化が必要とされている。例えば高画質化

については、再生画像の画質劣化（白点欠陥や暗電流などによるいわゆる出力値の浮き）を抑制する目的で、MOSFETのゲート電極を多結晶シリコンよりなる単層構造としたCMOSイメージセンサが知られている。

【0014】しかしながら、多結晶シリコンの単層構造のゲート電極は、受光部においては再生画像の画質劣化を抑制する効果があるものの、周辺回路部においてはゲート電極が低抵抗化されず、高速動作、多機能化、低消費電力化などに限界が生じてしまう。周辺回路部のゲート電極を低抵抗化するためには、図24および図25を参照して説明したように、従来の汎用DRAM（Dynamic Random Access Memory）、ロジック／DRAM混載デバイスなどのプロセスに倣って、ゲート電極に、多結晶シリコンとタングステンシリサイド（WSi）膜との積層構造を採用することが考えられる。あるいは、ゲート電極に、昨今開発されているタングステン膜を使用したポリメタルゲート、ダマシン（Damascene）ゲートを使用することも可能である。なお、CCDを用いた撮像装置に関しても、ゲート電極を多結晶シリコンとシリサイドとの積層構造とすることによりゲート電極が低抵抗化され、転送効率向上が可能となることが知られている

（例えば、特開平5-114617号公報、特開平5-315588号公報）。

【0015】ただし、このようなゲート電極構造を受光部においても一律に採用すると、受光部において、多結晶シリコン単層構造のゲート電極により再生画像の画質劣化の抑制を図ることはできない。

【0016】つまり、従来のCMOSイメージセンサ開発においては、高画質化要求と周辺回路の機能向上の要請とが相反しており、一方のために他方を犠牲にする結果となっている。もちろん、受光部と周辺回路部とでゲート電極構造の造り分けを行い、例えば、受光部では多結晶シリコンの単層構造のゲート電極、周辺回路部では多結晶シリコン膜とタングステンシリサイド膜との積層構造のゲート電極を用いることができればそれに越したことはない。従来、受光部と周辺回路部とでゲート電極を造り分ける最も容易なプロセスは、例えば、以下のように行われている。

【0017】まず、図26（A）に示したように、基板111に素子分離膜112、ウェル領域113およびゲート絶縁膜114を形成し、基板111の全面に多結晶シリコン膜115とタングステンシリサイド膜116を順に成膜する。

【0018】次いで、図26（B）に示したように、周辺回路部110Bをフォトリソ膜141によりマスクングし、受光部110Aのタングステンシリサイド膜116をエッチングする。

【0019】フォトリソ膜141を除去した後、図27（A）に示したように、別のフォトリソ膜142により受光部110Aをマスクングし、周辺回路部1

10Bのタングステンシリサイド膜116、多結晶シリコン膜115およびゲート絶縁膜114を順にエッチングし、積層構造のゲート電極117Bを形成する。

【0020】フォトリソ膜142を除去し、続いて、図27（B）に示したように、さらに別のフォトリソ膜143により周辺回路部110Bをマスクングし、受光部110Aの多結晶シリコン膜115をエッチングして、単層構造のゲート電極117Aを形成する。なお、工程順としては、図26（A）の工程に続いて図27（A）に示したゲート電極117Bの形成を行い、その後、図26（B）に示した受光部110Aのタングステンシリサイド膜116のエッチングを行うようにしてもよい。

【0021】しかし、このような従来のゲート電極造り分けプロセスでは、図26（B）に示した受光部110Aのタングステンシリサイド膜116のエッチング工程において多結晶シリコン膜115が膜減りしてしまうという問題がある。これは、通常、タングステンシリサイド膜をエッチングする場合、素子分離膜112の段差を考慮するとともに画質向上のためにタングステンシリサイド膜116を完全にエッチングして除去する必要があるため、オーバーエッチングが必要となることによる。また、エッチングガスにCl₂やHBr等のハロゲンガスを使用することから、シリコンに対する選択比が確保できず、多結晶シリコン膜115を所望の膜厚で均一に残すことが非常に困難となるからである。

【0022】さらに、上記のような従来のゲート電極造り分けプロセスでは、ゲート電極117A、117Bがエッチングやレジスト剥離（アッシング）で使用するプラズマに何度も曝されてしまうことから、P²ID（Plasma Process Induced Damage）の影響によるゲート絶縁膜114の破壊など半導体素子の信頼性低下を招く虞もある。

【0023】なお、CCDを用いた撮像装置に関して、CCDを含む画素部とMOS素子を含む周辺回路部とでゲート電極の膜厚を変える製造プロセスが提案されている（例えば、特開平7-211883号公報、特に図47参照）。この製造プロセスは、フォトリソ膜を用いたマスクングを用いる点では図26および図27と同様であるが、ゲート絶縁膜の破壊および多結晶シリコンの膜厚変化を防ぐため、シリコン窒化膜よりなる拡散・反応防止膜を設けるようにしている。

【0024】すなわち、まず、基板上に、第1のゲート絶縁膜、多結晶シリコンよりなる第1の電極材料膜、シリコン窒化膜よりなる拡散・反応防止膜を順に形成する。その後、これらの膜の画素部以外の部分をエッチングにより除去し、周辺回路部の基板を露出させて、熱酸化により周辺回路部に第2のゲート絶縁膜を形成する。さらに、基板全面に多結晶シリコンよりなる第2の電極材料膜を形成し、所望の形状にパターニングして、画素

部および周辺回路部それぞれのゲート電極を形成する。これにより、画素部のゲート電極は、第1の電極材料膜と第2の電極材料膜との間にシリコン窒化膜よりなる拡散・反応防止膜を挿入した積層構造となる一方、周辺回路部のゲート電極は第2の電極材料膜のみの単層構造となり、画素部のゲート電極の膜厚を周辺回路部のゲート電極よりも大きくすることができる。

【0025】この製造プロセスでは、第1のゲート絶縁膜および第1の電極材料膜をシリコン窒化膜よりなる拡散・反応防止膜で覆うことにより、第2のゲート絶縁膜形成に伴う熱酸化工程、フォトレジスト塗布または除去、エッチング工程等に対して、第1のゲート絶縁膜および第1の電極材料膜（多結晶シリコン）の保護を図っている。しかしながら、このシリコン窒化膜は絶縁性であるので、第1の電極材料膜および第2の電極材料膜とを電気的に接続するための第3の電極材料膜の形成およびパターニングが必要になり、構成および工程が複雑になる。

【0026】このように、従来では、受光部と周辺回路部とにおいてゲート電極を単層、積層構造とそれぞれ造り分けすることは困難であり、昨今のCMOSイメージセンサの開発は画質向上か、あるいは周辺回路の性能向上か、どちらかを選択することを余儀なくされている。

【0027】本発明はかかる問題点に鑑みてなされたもので、その目的は、同一基板上で受光部には単層構造のゲート電極、周辺回路部には積層構造のゲート電極を高精度で作製し、簡単な工程および構成で受光部の高画質化と周辺回路部の性能向上とを両立させることができるMOS型固体撮像装置およびその製造方法を提供することにある。

【0028】

【課題を解決するための手段】本発明によるMOS型固体撮像装置は、基板上にマトリクス状に配置された複数の光電変換素子、ならびに、この複数の光電変換素子の各々に対応して設けられるとともに単層構造のゲート電極およびこのゲート電極に対応する一対の不純物領域を有する第1のMOS電界効果トランジスタを備えた受光部と、少なくとも第1の層および第2の層を含む積層構造のゲート電極ならびにこのゲート電極に対応する他の一対の不純物領域を有する第2のMOS電界効果トランジスタを備えるとともに基板上の前記受光部の周辺に形成される周辺回路部と、この周辺回路部および受光部を覆う絶縁膜と、この絶縁膜の所定の位置に設けられ絶縁膜を貫通する接続孔と、この接続孔内に形成されるとともに第2の層と同一の材料により構成された導電性接続層と、絶縁膜の第1の層に対応する位置に設けられ絶縁膜を貫通するとともに内部に第2の層が形成された開口部とを備えたものである。導電性接続層としては、MOS電界効果トランジスタのソースおよびドレインとなる不純物領域と上部金属配線層との接続プラグ、不純物領

域上に裏打ちして不純物領域の低抵抗化を行う裏打ち配線（BMD ; Buried Metal Diffusion）、または不純物領域とワード線との間を結ぶ局所配線などが含まれる。受光部は複数のマイクロレンズおよび複数のカラーフィルタの少なくとも一方を備え、複数のマイクロレンズおよび複数のカラーフィルタは複数の光電変換素子の各々に対向するように配置されていることが好ましい。第1のMOS電界効果トランジスタのゲート電極と第2のMOS電界効果トランジスタの第1の層とは多結晶シリコンにより構成され、第2の層と導電性接続層とは多結晶シリコンまたは金属を含んで構成されていることが、受光部における画質向上と周辺回路部における高速動作および性能向上とを両立させるという観点から好ましい。

【0029】本発明によるMOS型固体撮像装置の製造方法は、基板上に、第1のMOS電界効果トランジスタのゲート電極と第2のMOS電界効果トランジスタのゲート電極の第1の層とを形成する工程と、第1のMOS電界効果トランジスタのゲート電極に対応する一対の不純物領域および第2のMOS電界効果トランジスタのゲート電極に対応する他の一対の不純物領域を形成することにより、第1のMOS電界効果トランジスタの一対の不純物領域の一方を兼ねる光電変換素子および第1のMOS電界効果トランジスタを含む受光部と第2の電界効果トランジスタを含む周辺回路部とを形成する工程と、周辺回路部および受光部を絶縁膜により覆う工程と、絶縁膜の所定の位置に絶縁膜を貫通する接続孔を形成するとともに、絶縁膜の第1の層に対応する位置に絶縁膜を貫通する開口部を形成する工程と、開口部内に第2のMOS電界効果トランジスタのゲート電極の第2の層を形成するとともに、接続孔内に第2の層と同一の材料により導電性接続層を形成する工程とを含むものである。

【0030】本発明によるMOS型固体撮像装置では、同一の基板上に受光部と周辺回路部が形成され、受光部の第1のMOS電界効果トランジスタのゲート電極は単層構造、周辺回路部の第2の電界効果トランジスタのゲート電極は少なくとも第1の層および第2の層を含む積層構造であり、第2の層と導電性接続層とは同一の材料により構成されているので、受光部と周辺回路部とでゲート電極の構造が異なるにもかかわらず材料、構成および製造工程が簡素化されている。また、第2の層は、受光部と周辺回路部とを覆う絶縁膜の第1の層に対応する位置に設けられ絶縁膜を貫通する開口部内に形成されるので、第1の層と第2の層との電気的接続のために別の層を追加して設ける必要はない。

【0031】本発明によるMOS型固体撮像装置の製造方法では、第1の電界効果トランジスタのゲート電極と第2の電界効果トランジスタの第1の層とを形成し、これらを絶縁膜により覆った後に、絶縁膜に接続孔および開口部を同時に形成し、この接続孔および開口部内に同一の材料により第2の層および導電性接続層を形成する

ようにしたので、第1の電界効果トランジスタの単層構造のゲート電極と第2の電界効果トランジスタの積層構造のゲート電極とを、簡単な工程で同一の基板上に造り分けることができる。また、第1の電界効果トランジスタのゲート電極が形成された後は絶縁膜により保護されるので、従来のようなタングステンシリサイド膜による膜減りの虞がなく、第1の電界効果トランジスタの単層構造のゲート電極を所望の膜厚で精度良く作製することができる。

【0032】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0033】〔第1の実施の形態〕図2は、本発明の第1の実施の形態に係るMOS型固体撮像装置であるCMOSイメージセンサの概略構成を表している。このCMOSイメージセンサ10は、被写体の光情報を検出し電気信号として出力する光電変換素子としての複数のフォトダイオード19を有する受光部10Aを備えており、この受光部10Aと周辺回路部10Bとが同一の基板11上にオンチップ化されている。受光部10Aのフォトダイオード19は、基板11上にマトリクス状に配置されている。これらのフォトダイオード19は、白黒撮像の場合には各々1個の画素（ピクセル）を構成し、カラー撮像の場合には隣接する3個のフォトダイオード19により1個の画素を構成している。周辺回路部10Bは、例えば信号処理回路や駆動回路等を含んでおり、それぞれの回路は例えばCMOS構造のMOSFETにより構成されている。

【0034】また、図3に示したように、このCMOSイメージセンサ10では、フォトダイオード19の各々に対向するように、カラーフィルタ26と、開口率向上のためのマイクロレンズ27とが設けられている。カラーフィルタ26は、例えば赤色フィルタ26R、緑色フィルタ26Gおよび青色フィルタ26Bがモザイク状あるいはデルタ状に配置された構成を有している。また、各フォトダイオード19の境界線に沿って、例えば黒色に染色された樹脂よりなる反射防止膜28が設けられている。カラーフィルタ26（26R、26G、26B）および反射防止膜28は、保護層29により互いに隔てられている。マイクロレンズ27の表面にはトップコート層30が形成されている。なお、カラーフィルタ26およびマイクロレンズ27は、画質向上のため両方設けることが好ましいが、いずれか一方を設けてもよく、または両方とも省略してもよい。

【0035】図1は、受光部10Aの1個のフォトダイオード19と、周辺回路部10Bを構成する1個のMOSFETとについて、その構造を対比して表した断面図である。なお、図1において二点鎖線の左側は受光部10A、右側は周辺回路部10Bを表している。

【0036】受光部10Aのフォトダイオード19の各

々には、スイッチング素子としての第1のMOSFET 20Aが接続されている。一方、周辺回路部10Bは、第2のMOSFET 20Bにより構成されている。第1のMOSFET 20Aおよび第2のMOSFET 20Bは同一の基板11に形成されたウェル領域13に形成されており、隣接する第1のMOSFET 20Aおよび第2のMOSFET 20Bは、素子分離膜12により互いに分離されている。基板11は、半導体基板、例えばn型シリコン基板である。素子分離膜12は、例えば厚さが200nmであり、熱酸化シリコンにより構成されている。

【0037】第1のMOSFET 20Aは、例えば、単層構造を有するゲート電極17Aと、その両側に形成された一対の不純物領域18Aとを有している。フォトダイオード19は、第1のMOSFET 20Aの不純物領域18Aの一方であるソースを兼ねている。ゲート電極17Aは、例えば、リン（P）などの不純物を含む多結晶シリコンにより構成されており、厚さは例えば100nmである。なお、ゲート電極17Aと基板11との間には、例えば厚さ8nmのゲート絶縁膜14が設けられている。

【0038】第2のMOSFET 20Bは、第1の層17B1および第2の層17B2の積層構造のゲート電極17Bと、その両側に形成された一対の不純物領域18Bとを有している。第1の層17B1は、ゲート電極17Aと同様、例えば、リンなどの不純物を含む多結晶シリコンにより構成されている。

【0039】受光部10Aおよび周辺回路部10Bは、例えば絶縁膜22A、22Bにより覆われている。絶縁膜22A、22Bは、例えば二酸化シリコンまたはLP-TEOS（Low-Pressure Tetraethoxysilane）またはBPSGなどの酸化シリコン系材料により構成されている。絶縁膜22Aの厚さは例えば500nmであり、絶縁膜22Bの厚さは例えば500nmである。なお、絶縁膜22A、22Bの上には、図示しない上部配線層が配設されるとともに、図3に示したカラーフィルタ26、マイクロレンズ27、反射防止膜28、トップコート層30等が設けられるが、これらは図1では省略されている。

【0040】絶縁膜22Aの所定の位置、例えば素子分離膜12の上には、絶縁膜22Aを貫通する接続孔23が形成されている。また、絶縁膜22Aの第1の層17B1に対応する位置には、絶縁膜22Aを貫通する開口部23Bが設けられている。接続孔23および開口部23Bの内面は、密着層24により覆われている。密着層24は、例えばタングステン、窒化タングステン、チタンまたは窒化チタンのうち少なくとも1種により構成されている。

【0041】接続孔23内には、例えば図示しない上部配線層との電氣的接続をとるための接続プラグとして、

導電性接続層 25 が形成されている。開口部 23B 内には、ゲート電極 17B の第 2 の層 17B2 が形成されている。導電性接続層 25 と、第 2 の層 17B2 とは、同一の材料により構成されており、例えば、多結晶シリコンまたは金属を含んで構成されている。より具体的には、リンなどの不純物を含む多結晶シリコン、タングステンシリサイドあるいはタングステン、またはこれらの複合膜により構成されている。

【0042】次に、図 4 ないし図 8、ならびに先に説明した図 1 および図 3 を参照して、CMOS イメージセンサ 10 の製造方法について説明する。

【0043】まず、図 4 (A) に示したように、例えば n 型シリコン (Si) よりなる基板 11 に例えば LOCOS (Local Oxidation of Silicon) 技術により、例えば熱酸化シリコンよりなる例えば厚さ 200 nm の素子分離膜 12 を形成する。その後、素子分離膜 12 をマスクとした不純物注入によりウェル領域 13 を形成する。不純物としては例えば B⁻ イオンを用い、例えば注入エネルギー 850 keV、ドーズ量 5×10^{12} ions/cm² で拡散させる。

【0044】次いで、図 4 (B) に示したように、基板 11 の表面を熱酸化して、熱酸化シリコンよりなる例えば厚さ 8 nm のゲート絶縁膜 14 を形成し、その後、例えば不純物を含む多結晶シリコンよりなる例えば厚さ 100 nm の多結晶シリコン膜 15 を成膜する。

【0045】続いて、図示しないフォトリソ層を形成し、このフォトリソ層をゲート電極 17A、17B のパターンに従って選択的に除去し、その後、パターンニングされたフォトリソ層をマスクとして、例えば RIE により多結晶シリコン膜 15 およびゲート絶縁膜 14 を選択的に除去し、図 5 (A) に示したように、第 1 の MOSFET 20A のゲート電極 17A および第 2 の MOSFET 20B のゲート電極 17B の第 1 の層 17B1 を形成する。このエッチングは、例えば TCP (Transformer Coupled Plasma; 登録商標) 型エッチング装置を用い、Cl₂ を流量 70 sccm、HBr を流量 105 sccm、O₂ を流量 10 sccm で供給し、圧力 1 Pa (7.5 mTorr) の Cl₂ と HBr と O₂ との混合雰囲気とし、300 W の出力にて行う。終点検出 (EPD) 後、さらに 30% のオーバーエッチングを行う。

【0046】その後、図 5 (A) に示したように、不純物の選択的注入により、不純物領域 18A、18B を形成する。これにより、受光部 10A にはフォトダイオード 19 およびこのフォトダイオード 19 のスイッチング素子としての MOSFET 20A を形成するとともに、周辺回路部 10B を構成する MOSFET 20B を形成する。フォトダイオード 19 は MOSFET 20A の不純物領域 18A の一方であるソースを兼ねる。不純物領域 18A、18B に注入される不純物は、NMOSFE

T の形成には例えばヒ素 (As)、PMOSFET の形成には例えばホウ素 (B) または二フッ化ホウ素 (BF₂) などを用いる。

【0047】さらに、図 5 (B) に示したように、基板 11 の全面を被覆するように、例えば厚さ 550 nm の LP-TEOS よりなる絶縁膜 22A と、例えば厚さ 350 nm の BPSG よりなる絶縁膜 22C とを、例えば CVD 法により成膜し、リフロー処理を行う。絶縁膜 22A の形成は、例えば、N₂ 流量 50 mg/分、TEOS 流量 130 mg/分、50 Pa、700℃ の条件にて行う。絶縁膜 22C の形成は、例えば、O₂ 流量 720 mg/分、リン流量 120 mg/分、ホウ素流量 90 mg/分、常圧、520℃ の条件にて行う。また、リフロー処理は、例えば窒素 (N₂) 雰囲気中において 850℃ で 10 分間行う。

【0048】続いて、図 6 (A) に示したように、CMP により例えば 400 nm 研磨し、絶縁膜 22A の表面を平坦化する。この CMP 工程は、研磨液としてシリカ粒子を 14 重量% 含む KOH 水溶液を用い、この研磨液を 150 ml/分の流量で供給しつつ、研磨プレートを回転数 20 rpm、基板 11 を保持する試料台を回転数 280 rpm でそれぞれ回転させ、500 gf/cm² の研磨圧力にて行う。

【0049】次いで、図 6 (B) に示したように、平坦化された絶縁膜 22A の上にフォトリソ層 41 を形成し、このフォトリソ層 41 を接続孔 23 および開口部 23B のパターンに従って選択的に除去する。パターンニングされたフォトリソ層 41 をマスクとして、例えばマグネトロン RIE 装置を用いたコンタクト RIE により、絶縁膜 22A をエッチング除去する。こうして、絶縁膜 22A の所定の位置、例えば素子分離膜 12 の上に、絶縁膜 22A を貫通する接続孔 23 を形成するとともに、第 1 の層 17B1 に対応する位置に絶縁膜 22A を貫通する開口部 23B を形成する。

【0050】なお、絶縁膜 22A のエッチングによる接続孔 23 および開口部 23B の形成は、本出願人と同一出願人が先に公開した方法 (詳細は、特開平 11-288923 号公報参照) により行うことができる。具体的には、絶縁膜 22A のエッチングは、例えば、C₄F₈ を流量 8 sccm、CO を流量 50 sccm、Ar を流量 300 sccm、O₂ を流量 5 sccm で供給し、圧力 5.3 Pa の C₄F₈ と CO と Ar と O₂ との混合雰囲気とし、RF 電源により 1700 W の出力にて電圧を印加し、オーバーエッチ率 20% にて行う。

【0051】その後、図 7 (A) に示したように、フォトリソ層 41 を除去し、接続孔 23 および開口部 23B の内面および基板 11 の表面全体を覆うように、密着層 24 を例えばスパッタ法により成膜する。密着層 24 の形成は、例えば以下のようにして行うことができる。まず、例えば、Ar を流量 35 sccm で供給し、

圧力 0.52 Pa の Ar 雰囲気とし、投入電力 8 kW、300℃の条件にて、例えば厚さ 30 nm のチタン層を形成する。次に、例えば、N₂ を流量 42 sccm、Ar を流量 21 sccm で供給し、圧力 0.78 Pa の N₂ と Ar との混合雰囲気とし、投入電力 6 kW、300℃で、例えば厚さ 70 nm の窒化チタン層を形成する。チタン層および窒化チタン層を形成した後、例えば N₂ 雰囲気中で、650℃、圧力 101325 Pa (1 atm) で 30 秒間ランプアニール処理を行う。

【0052】その後、図 7 (B) に示したように、例えばタングステンよりなる例えば厚さ 600 nm の第 2 の層 17 B 2 を、例えば非選択 CVD (ブランケット CVD) 法により成膜し、内面に密着層 24 が形成された接続孔 23 および開口部 23 B を埋め込むとともに基板 11 全体を覆う。導電性接続層 25 は第 2 の層 17 B 2 と同一の材料により構成されているので、導電性接続層 25 の成膜と第 2 の層 17 B 2 の成膜とを同時に行うことができる。成膜条件は、例えば、WF₆ を流量 40 sccm、H₂ を流量 400 sccm、Ar を流量 2250 sccm で供給し、圧力 10.7 kPa の WF₆ と H₂ と Ar との混合雰囲気、成膜温度 450℃とする。

【0053】続いて、図 8 (A) に示したように、例えば CMP により、接続孔 23 内および開口部 23 B 内以外の第 2 の層 17 B 2 を除去し、絶縁膜 22 A の表面を露出させる。これにより、接続孔 23 内には導電性接続層 25 が残るとともに、開口部 23 B 内には第 2 の層 17 B 2 が形成される。この CMP 工程は、研磨液として例えば SSW2000 (商品名) および H₂O₂ 水溶液を混合したものをを用い、この研磨液を 150 ml/分の流量で滴下しつつ、研磨プレートを回転数 16 rpm、基板 11 を保持する試料台を回転数 280 rpm でそれぞれ回転させ、研磨圧力 70 gf/cm² として行い、研磨量としては終点検出 (EPD) 後、さらに 10% のオーバー研磨を行う。

【0054】さらに、図 8 (B) に示したように、開口部 23 B 以外をフォトリソ層 42 により覆い、導電性接続層 25 および密着層 24 のエッチバックを行い、導電性接続層 25 の厚みと第 2 の層 17 B 2 の厚みとを同一にする。このように導電性接続層 25 と第 2 の層 17 B 2 との厚みを揃えるのは、第 2 の層 17 B 2 の厚みが変わると抵抗値も変わるので、素子特性のばらつきを抑えるために厚みを揃える必要があるからである。このエッチバック工程は、導電性接続層 25 のエッチングを行う第 1 ステップと、密着層 24 をエッチングする第 2 ステップとにより行われる。第 1 ステップの導電性接続層 25 のエッチングは、SF₆ を流量 110 sccm、Ar を流量 90 sccm、He を流量 5 sccm で供給し、圧力 45.5 Pa の SF₆ と Ar と He との混合雰囲気とし、RF 電源により出力 275 W の条件で行う。この第 1 ステップでの導電性接続層 25 のエッチング量

は例えば 100 nm とする。第 2 ステップの密着層 24 のエッチングは、Ar を流量 75 sccm、Cl₂ を流量 5 sccm で供給し、圧力 6.5 Pa の Ar と Cl₂ との混合雰囲気とし、RF 電源により出力 250 W で行う。

【0055】これにより、図 8 (B) に示したように、開口部 23 B 内に第 2 の層 17 B 2 が形成される。これにより、第 1 の MOSFET 20 A のゲート電極 17 A を単層構造として形成するとともに、第 2 の MOSFET 20 B のゲート電極 17 B を、第 1 の層 17 B 1 と第 2 の層 17 B 2 との積層構造として形成することができる。

【0056】その後、フォトリソ層 42 を除去し、図 1 に示したように、例えば TEOS などの酸化シリコン系材料よりなる例えば厚さ 500 nm の絶縁膜 22 B を形成し、図示しない上部配線層を形成する。さらに、図 3 に示したように、保護層 29、反射防止膜 28、カラーフィルタ 26、マイクロレンズ 27 およびトップコート層 30 を配設する。こうして、CMOS イメージセンサ 10 が完成する。

【0057】このように、本実施の形態では、同一の基板 11 上に受光部 10 A と周辺回路部 10 B を形成することにより小型化および軽量化が促進されることは勿論であるが、そればかりでなく、受光部 10 A の第 1 の MOSFET 20 A のゲート電極 17 A は単層構造、周辺回路部 10 B の第 2 の MOSFET 30 B のゲート電極 17 B は第 1 の層 17 B 1 と第 2 の層 17 B 2 との積層構造であり、第 2 の層 17 B 2 と導電性接続層 25 とは同一の材料により構成されているので、ゲート電極 17 A、17 B の構造が異なるにもかかわらず材料、構成および製造工程が簡素化されている。さらにまた、ゲート電極 17 B の第 2 の層 17 B 2 は、絶縁膜 22 A の第 1 の層 17 B 1 に対応する位置に設けられるとともに絶縁膜 22 A を貫通する開口部 23 B 内に形成されるので、第 1 の層 17 B 1 と第 2 の層 17 B 2 との間には絶縁膜 22 A は介在せず、第 1 の層 17 B 1 と第 2 の層 17 B 2 との電氣的接続のために別の層を追加して設ける必要はない。

【0058】また、本実施の形態では、各フォトダイオード 19 に対向するようカラーフィルタ 26 およびマイクロレンズ 27 を配設したので、白黒撮像だけでなくカラー撮像が可能となるとともに、開口率を向上させることができる。

【0059】さらに、本実施の形態では、受光部 10 A では、ゲート電極 17 A を多結晶シリコン層の単層構造としたことにより、白点欠陥や暗電流などによるいわゆる出力値の浮きを防止し、再生画像の画質を向上させることができるとともに、周辺回路部 10 B では、ゲート電極 17 B が、多結晶シリコンよりなる第 1 の層 17 B 1 と、例えばタングステンなどの金属を含んで構成され

た第2の層17B2との積層構造となっているので、ゲート電極17Bが低抵抗化され、周辺回路部10Bの高速動作、低消費電力化および機能向上を図ることができる。

【0060】さらに、本実施の形態では、まず第1のMOSFET20Aのゲート電極17Aと第2のMOSFET20Bのゲート電極17Bの第1の層17B1とを形成し、これらを絶縁膜22Aにより覆った後に、絶縁膜22Aに接続孔23および開口部23Bを同時に形成し、この接続孔23および開口部23B内に同一の材料により第2の層17B2および導電性接続層25を形成するようにしたので、簡単な工程で単層構造のゲート電極17Aと積層構造のゲート電極17Bとを同一の基板11上に造り分けることができ、導電性接続層も第2の層と同時に形成することができる。また、ゲート電極17Aが形成された後は絶縁膜22Aにより保護されるので、従来のようなダングステンシリサイド膜のエッチングによる膜減りの虞がなく、単層構造のゲート電極17Aを所望の膜厚で精度良く作製することができる。

【0061】加えて、第2の層17B2の形成の際にはCMP法およびエッチバック法を用いたので、いったんCMP法で平坦化し、絶縁膜22Aの表面を基準として第2の層17B2および導電性接続層25の厚みを決め、さらに第2の層17B2のみ別マスクを用いてエッチングすることにより、第2の層17B2および導電性接続層25の厚みを揃えることができる。したがって、エッチバック法のみによる場合と異なり、第2の層17B2と導電性接続層25との厚みのばらつきを避けることができる。

【0062】〔第2の実施の形態〕次に、本発明の第2の実施の形態に係るMOS型固体撮像装置であるCMOSイメージセンサについて、図9ないし図13を参照して説明する。本実施の形態に係るCMOSイメージセンサは、素子分離膜12をSTI(Shallow Trench Isolation)により形成したことにおいて第1の実施の形態に係るCMOSイメージセンサ10と異なっており、その他は、第1の実施の形態と同一の構成、作用および効果を有している。よって、同一の構成要素には同一の符号を付し、ここではその詳細な説明を省略する。

【0063】図9は、本実施の形態に係るMOS型固体撮像装置であるCMOSイメージセンサにおいて、受光部10Aの1個のフォトダイオード19およびこれに対応する第1のMOSFET20Aと、周辺回路部10Bを構成する第2のMOSFET20Bとについて、その構造を対比して表した断面図である。上述したように、素子分離膜12はSTIにより形成され、その深さは例えば300nmとなっている。これ以外の構成要素および材料は第1の実施の形態において図1を参照して説明したのと同様であるので、図9において図1と同一の構成要素には同一の符号を付し、その詳細な説明は省略す

る。なお、絶縁膜22A、22Bの上には、第1の実施の形態と同様に、図示しない上部配線層が配設されるとともに、図3に示したカラーフィルタ26、マイクロレンズ27、反射防止膜28、トップコート層30等が設けられるが、これらは図9では省略されている。

【0064】次に、図10ないし図13を参照して、図9に示したCMOSイメージセンサの製造方法について説明する。

【0065】まず、図10(A)に示したように、例えばn型シリコン(Si)よりなる基板11に例えばSTIにより、深さ300nmの素子分離膜12を形成する。その後、不純物注入によりウェル領域13を形成する。不純物としては例えばB⁺イオンを用い、例えば注入エネルギー850keV、ドーズ量 5×10^{12} ions/cm²の条件で拡散させる。さらに、基板11の表面を熱酸化して、熱酸化シリコンよりなる例えば厚さ8nmのゲート絶縁膜14を形成し、その後、例えば不純物を含む多結晶シリコンよりなる例えば厚さ100nmの多結晶シリコン膜15を成膜する。

【0066】続いて、図示しないフォトレジスト層を形成し、このフォトレジスト層をゲート電極17A、17Bのパターンに従って選択的に除去し、その後、パターニングされたフォトレジスト層をマスクとして、例えばRIEにより多結晶シリコン膜15およびゲート絶縁膜14を選択的に除去し、図10(B)に示したように、第1のMOSFET20Aのゲート電極17Aおよび第2のMOSFET20Bのゲート電極17Bの第1の層17B1を形成する。このエッチングは、例えばTCP(登録商標)型エッチング装置を用い、Cl₂を流量70sccm、HBrを流量105sccm、O₂を流量10sccmで供給し、圧力1PaのCl₂とHBrとO₂との混合雰囲気とし、300Wの出力にて行う。終点検出(EPD)後、さらに30%のオーバーエッチングを行う。

【0067】その後、図10(B)に示したように、不純物の選択的注入により、不純物領域18A、18Bを形成する。これにより、受光部10Aにはフォトダイオード19およびこのフォトダイオード19のスイッチング素子としてのMOSFET20Aを形成するとともに、周辺回路部10Bを構成するMOSFET20Bを形成する。フォトダイオード19はMOSFET20Aの不純物領域18Aの一方であるソースを兼ねる。不純物領域18A、18Bに注入される不純物は、NMOSFETの形成には例えばヒ素(As)、PMOSFETの形成には例えばホウ素(B)または二フッ化ホウ素(BF₃)などを用いる。

【0068】さらに、図11に示したように、基板11の全面を被覆するように、例えばLPE-TEOSよりなる絶縁膜22Aを、例えばCVD法により厚さ例えば550nmで成膜し、リフロー処理を行った後、CMP法

により平坦化する。絶縁膜 22A の形成条件は、第 1 の実施の形態と同様とすることができる。また、リフロー処理は、例えば窒素 (N_2) 雰囲気中において 850°C で 10 分間行う。続いて CMP 工程は、研磨液としてシリカ粒子を 14 重量% 含む KOH 水溶液を用い、この研磨液を 150 ml/分 の流量で供給しつつ、研磨プレートを回転数 20 rpm 、基板 11 を保持する試料台を回転数 280 rpm でそれぞれ回転させ、 500 gf/cm^2 の研磨圧力にて行う。研磨量は例えば 400 nm とする。

【0069】次いで、図 12 (A) に示したように、平坦化された絶縁膜 22A の上にフォトレジスト層 41 を形成し、このフォトレジスト層 41 を接続孔 23 および開口部 23B のパターンに従って選択的に除去する。パターンニングされたフォトレジスト層 41 をマスクとして、例えばマグネトロン RIE 装置を用いたコンタクト RIE により、絶縁膜 22A をエッチング除去する。こうして、絶縁膜 22A の所定の位置、例えば素子分離膜 12 の上に、絶縁膜 22A を貫通する接続孔 23 を形成するとともに、第 1 の層 17B1 に対応する位置に絶縁膜 22A を貫通する開口部 23B を形成する。

【0070】絶縁膜 22A のエッチングは、例えば、 CF_4 を流量 8 sccm 、 CO を流量 50 sccm 、 Ar を流量 300 sccm 、 O_2 を流量 5 sccm で供給し、圧力 5.3 Pa の CF_4 と CO と Ar と O_2 との混合雰囲気とし、RF 電源により 1700 W の出力にて電圧を印加し、オーバーエッチ率 20% にて行う。

【0071】その後、図 12 (B) に示したように、フォトレジスト層 41 を除去し、接続孔 23 および開口部 23B の内面および基板 11 の表面全体を覆うように、密着層 24 を例えばスパッタ法により成膜する。密着層 24 の形成は、例えば以下のようにして行うことができる。まず、例えば、 Ar を流量 35 sccm で供給し、圧力 0.52 Pa の Ar 雰囲気とし、投入電力 8 kW 、 300°C にて、例えば厚さ 30 nm のチタン層を形成する。次に、例えば、 N_2 を流量 42 sccm 、 Ar を流量 21 sccm で供給し、圧力 0.78 Pa の N_2 と Ar との混合雰囲気とし、投入電力 6 kW 、 300°C で、例えば厚さ 70 nm の窒化チタン層を形成する。チタン層および窒化チタン層を形成した後、例えば N_2 雰囲気中で、 650°C 、圧力 101325 Pa (1 atm) で 30 秒間ランプアニール処理を行う。

【0072】その後、図 13 (A) に示したように、例えばタングステンよりなる例えば厚さ 600 nm の第 2 の層 17B2 を、例えば非選択 CVD (ブランケット CVD) 法により成膜し、内面に密着層 24 が形成された接続孔 23 および開口部 23B を埋め込むとともに基板 11 全体を覆う。導電性接続層 25 は第 2 の層 17B2 と同一の材料により構成されているので、導電性接続層 25 の成膜と第 2 の層 17B2 の成膜とを同時に行うこ

とができる。成膜条件は、例えば、 WF_6 を流量 40 sccm 、 H_2 を流量 400 sccm 、 Ar を流量 2250 sccm で供給し、圧力 10.7 kPa の WF_6 と H_2 と Ar との混合雰囲気、成膜温度 450°C とする。

【0073】続いて、図 13 (B) に示したように、例えば CMP により、接続孔 23 内および開口部 23B 内以外の第 2 の層 17B2 を除去し、絶縁膜 22A の表面を露出させる。これにより、接続孔 23 内には導電性接続層 25 が残るとともに、開口部 23B 内には第 2 の層 17B2 が形成される。この CMP 工程は、研磨液として例えば SSW2000 (商品名) および H_2O_2 水溶液を混合したものをを用い、この研磨液を 150 ml/分 の流量で滴下しつつ、研磨プレートを回転数 16 rpm 、基板 11 を保持する試料台を回転数 280 rpm でそれぞれ回転させ、研磨圧力 70 gf/cm^2 として行い、研磨量としては終点検出 (EPD) 後、さらに 10% のオーバー研磨を行う。

【0074】これにより、図 13 (B) に示したように、第 1 の MOSFET 20A のゲート電極 17A を単層構造として形成するとともに、第 2 の MOSFET 20B のゲート電極 17B を、第 1 の層 17B1 と第 2 の層 17B2 との積層構造として形成することができる。

【0075】その後、図 9 に示したように、例えば TEOS などの酸化シリコン系材料よりなる絶縁膜 22B を形成し、図示しない上部配線層を形成する。さらに、図 3 に示したように、保護層 29、反射防止膜 28、カラーフィルタ 26、マイクロレンズ 27 およびトップコート層 30 を配設する。こうして、本実施の形態に係る CMOS イメージセンサが完成する。

【0076】このように、本実施の形態では、STI により素子分離膜 12 を形成した場合であっても、同一の基板 11 上に受光部 10A と周辺回路部 10B を形成し、受光部 10A の第 1 の MOSFET 20A のゲート電極 17A は単層構造、周辺回路部 10B の第 2 の MOSFET 30B のゲート電極 17B は第 1 の層 17B1 と第 2 の層 17B2 との積層構造として造り分けることができ、しかも第 2 の層 17B2 と同時に導電性接続層 25 も形成することができる。よって、第 1 の実施の形態と同様の優れた効果を得ることができる。

【0077】また、本実施の形態では、STI による素子分離膜 12 上に接続孔 23 を設け、その内部に導電性接続層 25 を形成しているので、CMP 法により研磨するだけで導電性接続層 25 と第 2 の層 17B2 とを同一の厚みで形成することができ、第 1 の実施の形態と異なり、エッチバック工程は不要となる。

【0078】〔第 3 の実施の形態〕次に、本発明の第 3 の実施の形態に係る MOS 型固体撮像装置である CMOS イメージセンサについて、図 14 ないし図 18 を参照して説明する。本実施の形態に係る CMOS イメージセンサは、素子分離膜 12 を STI (Shallow Trench Isol

10

20

30

40

50

ation) により形成したことに關しては第 2 の実施の形態と同様であるが、素子分離膜 12 上だけでなく不純物領域 18A、18B 上にも接続孔 23 を設けてその内部に導電性接続層 25 を形成したこと、ならびに、接続孔 23 および開口部 23B を形成する際のエッチングのストッパー膜としてシリコン窒化膜 (Si₃N₄ 膜) 21 を形成したことにおいて第 2 の実施の形態に係る CMOS イメージセンサと異なっており、その他は、第 2 の実施の形態と同一の構成、作用および効果を有している。よって、同一の構成要素には同一の符号を付し、こ

【0079】図 14 は、本実施の形態に係る MOS 型固体撮像装置である CMOS イメージセンサにおいて、受光部 10A の 1 個のフォトダイオード 19 およびこれに対応する第 1 の MOSFET 20A と、周辺回路部 10B を構成する第 2 の MOSFET 20B とについて、その構造を対比して表した断面図である。上述したように、素子分離膜 12 は STI により形成され、その深さは例えば 300 nm となっている。また、素子分離膜 12 上だけでなく不純物領域 18A、18B 上にも接続孔 23 が設けられ、その接続孔 23 の内部には導電性接続層 25 が形成されている。基板 11 およびゲート電極 17A の表面には、接続孔 23 および開口部 23B を形成する際のエッチングのストッパー膜として、シリコン窒化膜 21 が形成されている。

【0080】これ以外の構成要素および材料は第 1 の実施の形態において図 1 を参照して説明したのと同様であるので、図 14 において図 1 と同一の構成要素には同一の符号を付し、その詳細な説明は省略する。なお、絶縁膜 22A、22B の上には、第 1 の実施の形態と同様に、図示しない上部配線層が配設されるとともに、図 3 に示したカラーフィルタ 26、マイクロレンズ 27、反射防止膜 28、トップコート層 30 等が設けられるが、これらは図 14 では省略されている。

【0081】次に、図 15 ないし図 18 を参照して、図 14 に示した CMOS イメージセンサの製造方法について説明する。

【0082】まず、図 15 (A) に示したように、例えば n 型シリコン (Si) よりなる基板 11 に例えば STI により、深さ 300 nm の素子分離膜 12 を形成する。その後、不純物注入によりウェル領域 13 を形成する。不純物としては例えば B⁺ イオンを用い、例えば注入エネルギー 850 keV、ドーズ量 5×10^{12} ions/cm² で拡散させる。さらに、基板 11 の表面を熱酸化して、熱酸化シリコンよりなる例えば厚さ 8 nm のゲート絶縁膜 14 を形成し、その後、例えば不純物を含む多結晶シリコンよりなる例えば厚さ 100 nm の多結晶シリコン膜 15 を成膜する。

【0083】続いて、図示しないフォトリソ層を形成し、このフォトリソ層をゲート電極 17A、17

B のパターンに従って選択的に除去し、その後、パターニングされたフォトリソ層をマスクとして、例えば RIE により多結晶シリコン膜 15 およびゲート絶縁膜 14 を選択的に除去し、図 15 (B) に示したように、第 1 の MOSFET 20A のゲート電極 17A および第 2 の MOSFET 20B のゲート電極 17B の第 1 の層 17B1 を形成する。このエッチングは、例えば TCP (登録商標) 型エッチング装置を用い、Cl₂ を流量 70 sccm、HBr を流量 105 sccm、O₂ を流量 10 sccm で供給し、圧力 1 Pa の Cl₂ と HBr と O₂ との混合雰囲気とし、300 W の出力にて行う。終点検出 (EPD) 後、さらに 30 % のオーバーエッチングを行う。

【0084】その後、図 15 (B) に示したように、不純物の選択的注入により、不純物領域 18A、18B を形成する。これにより、受光部 10A にはフォトダイオード 19 およびこのフォトダイオード 19 のスイッチング素子としての MOSFET 20A を形成するとともに、周辺回路部 10B を構成する MOSFET 20B を形成する。フォトダイオード 19 は MOSFET 20A の不純物領域 18A の一方であるソースを兼ねる。不純物領域 18A、18B に注入される不純物は、NMOSFET の形成には例えばヒ素 (As)、PMOSFET の形成には例えばホウ素 (B) または二フッ化ホウ素 (BF₂) などを用いる。

【0085】さらに、図 16 に示したように、基板 11 の全面を被覆するように、例えば 50 nm の厚さのシリコン窒化膜 21 を、例えば減圧 CVD 法により成膜する。シリコン窒化膜 21 の形成は、基板 11 を 760 °C の温度に加熱し、SiH₂Cl₂ を流量 50 sccm、NH₃ を流量 200 sccm、N₂ を流量 200 sccm でそれぞれ供給し、圧力 70 Pa の SiH₂Cl₂ と NH₃ と N₂ との混合雰囲気にて行う。次いで、例えば LP-TEOS よりなる絶縁膜 22A を、例えば CVD 法により厚さ例えば 550 nm で成膜し、リフロー処理を行った後、CMP 法により平坦化する。絶縁膜 22A の形成条件は第 1 の実施の形態と同様とすることができる。また、リフロー処理は、例えば N₂ 雰囲気中において 850 °C で 10 分間行う。続いて CMP 工程は、研磨液としてシリカ粒子を 14 重量% 含む KOH 水溶液を用い、この研磨液を 150 ml/分の流量で供給しつつ、研磨プレートを回転数 20 rpm、基板 11 を保持する試料台を回転数 280 rpm でそれぞれ回転させ、500 gf/cm² の研磨圧力にて行う。研磨量は例えば 400 nm とする。

【0086】次いで、図 17 (A) に示したように、平坦化された絶縁膜 22A の上にフォトリソ層 41 を形成し、このフォトリソ層 41 を接続孔 23 および開口部 23B のパターンに従って選択的に除去する。パターニングされたフォトリソ層 41 をマスクとし

て、例えばマグネトロン RIE 装置を用いたコンタクト RIE により、絶縁膜 22A およびシリコン窒化膜 21 を順にエッチング除去する。こうして、絶縁膜 22A の所定の位置、例えば素子分離膜 12 および不純物領域 18A、18B の上に、絶縁膜 22A を貫通する接続孔 23 を形成するとともに、第 1 の層 17B1 に対応する位置に絶縁膜 22A を貫通する開口部 23B を形成する。

【0087】絶縁膜 22A のエッチングは、例えば、 CF_4 を流量 8 sccm、CO を流量 50 sccm、Ar を流量 300 sccm、 O_2 を流量 5 sccm で供給し、圧力 5.3 Pa の CF_4 と CO と Ar と O_2 との混合雰囲気とし、RF 電源により 1700W の出力にて電圧を印加し、オーバーエッチ率 20% にて行う。

【0088】次いで、シリコン窒化膜 21 のエッチングは、例えば、 CHF_3 を流量 40 sccm、CO を流量 160 sccm、 O_2 を流量 14 sccm でそれぞれ供給し、圧力 5.3 Pa の CHF_3 と CO と O_2 との混合雰囲気とし、RF 電源により 1000W の出力にて電圧を印加し、オーバーエッチ率 20% にて行う。

【0089】その後、図 17 (B) に示したように、フォトレジスト層 41 を除去し、接続孔 23 および開口部 23B の内面および基板 11 の表面全体を覆うように、密着層 24 を例えばスパッタ法により成膜する。密着層 24 の形成は、例えば以下のようにして行うことができる。まず、例えば、Ar を流量 35 sccm で供給し、圧力 0.52 Pa の Ar 雰囲気とし、投入電力 8 kW、300℃ にて、例えば厚さ 30 nm のチタン層を形成する。次に、例えば、 N_2 を流量 42 sccm、Ar を流量 21 sccm で供給し、圧力 0.78 Pa の N_2 と Ar との混合雰囲気とし、投入電力 6 kW、300℃ で、例えば厚さ 70 nm の窒化チタン層を形成する。チタン層および窒化チタン層を形成した後、例えば N_2 雰囲気中で、650℃、圧力 101325 Pa (1 atm) で 30 秒間ランプアニール処理を行う。

【0090】その後、図 18 (A) に示したように、例えばタングステンよりなる例えば厚さ 600 nm の第 2 の層 17B2 を、例えば非選択 CVD (ブランクett CVD) 法により成膜し、内面に密着層 24 が形成された接続孔 23 および開口部 23B を埋め込むとともに基板 11 全体を覆う。導電性接続層 25 は第 2 の層 17B2 と同一の材料により構成されているので、導電性接続層 25 の成膜と第 2 の層 17B2 の成膜とを同時に行うことができる。成膜条件は、例えば、 WF_6 を流量 40 sccm、 H_2 を流量 400 sccm、Ar を流量 2250 sccm で供給し、圧力 10.7 kPa の WF_6 と H_2 と Ar との混合雰囲気、成膜温度 450℃ とする。

【0091】続いて、図 18 (B) に示したように、例えば CMP により、接続孔 23 内および開口部 23B 内以外の第 2 の層 17B2 を除去し、絶縁膜 22A の表面を露出させる。これにより、接続孔 23 内には導電性接

続層 25 が残るとともに、開口部 23B 内には第 2 の層 17B2 が形成される。この CMP 工程は、研磨液として例えば SSW2000 (商品名) および H_2O_2 水溶液を混合したものを、この研磨液を 150 ml/分の流量で滴下しつつ、研磨プレートを回転数 16 rpm、基板 11 を保持する試料台を回転数 280 rpm でそれぞれ回転させ、研磨圧力 70 gf/cm² として行い、研磨量としては終点検出 (EPD) 後、さらに 10% のオーバー研磨を行う。

【0092】これにより、図 18 (B) に示したように、第 1 の MOSFET 20A のゲート電極 17A を単層構造として形成するとともに、第 2 の MOSFET 20B のゲート電極 17B を、第 1 の層 17B1 と第 2 の層 17B2 との積層構造として形成することができる。

【0093】その後、図 14 に示したように、例えば TEOS などの酸化シリコン系材料よりなる絶縁膜 22B を形成し、図示しない上部配線層を形成する。さらに、図 3 に示したように、保護層 29、反射防止膜 28、カラーフィルタ 26、マイクロレンズ 27 およびトップコート層 30 を配設する。こうして、本実施の形態に係る CMOS イメージセンサが完成する。

【0094】このように、本実施の形態では、STI により素子分離膜 12 を形成した場合であっても、同一の基板 11 上に受光部 10A と周辺回路部 10B を形成し、受光部 10A の第 1 の MOSFET 20A のゲート電極 17A は単層構造、周辺回路部 10B の第 2 の MOSFET 30B のゲート電極 17B は第 1 の層 17B1 と第 2 の層 17B2 との積層構造として造り分けることができ、しかも第 2 の層 17B2 と同時に導電性接続層 25 をも形成することができる。よって、第 1 および第 2 の実施の形態と同様の優れた効果を得ることができる。

【0095】また、本実施の形態では、STI による素子分離膜 12 上に導電性接続層 25 を設けているので、導電性接続層 25 を CMP 法により研磨するだけで導電性接続層 25 と第 2 の層 17B2 とを同一の厚みで形成することができ、第 1 の実施の形態と異なり、エッチバック工程は不要となる。

【0096】[第 4 の実施の形態] 次に、本発明の第 4 の実施の形態に係る MOS 型固体撮像装置である CMOS イメージセンサについて、図 19 ないし図 23 を参照して説明する。本実施の形態に係る CMOS イメージセンサは、導電性接続層 25 として、不純物領域 18A 上に設けられた局所配線 25A が形成されていることにおいて第 3 の実施の形態に係る CMOS イメージセンサと異なり、その他は、第 3 の実施の形態と同一の構成、作用および効果を有している。よって、同一の構成要素には同一の符号を付し、ここではその詳細な説明を省略する。

【0097】図 19 は、本実施の形態に係る MOS 型固

体撮像装置であるCMOSイメージセンサにおいて、受光部10Aの1個のフォトダイオード19およびこれに対応する第1のMOSFET20Aと、周辺回路部10Bを構成する第2のMOSFET20Bとについて、その構造を対比して表した断面図である。上述したように、素子分離膜12はSTIにより形成され、その深さは例えば300nmとなっている。また、素子分離膜12上だけでなく不純物領域18A、18B上にも接続孔23が設けられ、その接続孔23の内部には導電性接続層25が形成されている。不純物領域18A上に形成された導電性接続層25は、不純物領域18Aと図示しないワード線との間の局所配線25Aとして機能するものである。基板11およびゲート電極17Aの表面には、接続孔23および開口部23Bを形成する際のエッチングのストッパー膜として、シリコン窒化膜21が形成されている。

【0098】これ以外の構成要素および材料は第1の実施の形態において図1を参照して説明したのと同様であるので、図19において図1と同一の構成要素には同一の符号を付し、その詳細な説明は省略する。なお、絶縁膜22A、22Bの上には、第1の実施の形態と同様に、図示しない上部配線層が配設されるとともに、図3に示したカラーフィルタ26、マイクロレンズ27、反射防止膜28、トップコート層30等が設けられるが、これらは図19では省略されている。

【0099】次に、図20ないし図23を参照して、図19に示したCMOSイメージセンサの製造方法について説明する。

【0100】まず、図20(A)に示したように、例えばn型シリコン(Si)よりなる基板11に例えばSTIにより、深さ300nmの素子分離膜12を形成する。その後、不純物注入によりウェル領域13を形成する。不純物としては例えばB⁺イオンを用い、例えば注入エネルギー850keV、ドーズ量 5×10^{12} ions/cm²の条件で拡散させる。さらに、基板11の表面を熱酸化して、熱酸化シリコンよりなる例えば厚さ8nmのゲート絶縁膜14を形成し、その後、例えば不純物を含む多結晶シリコンよりなる例えば厚さ100nmの多結晶シリコン膜15を成膜する。

【0101】続いて、図示しないフォトレジスト層を形成し、このフォトレジスト層をゲート電極17A、17Bのパターンに従って選択的に除去し、その後、パターンニングされたフォトレジスト層をマスクとして、例えばRIEにより多結晶シリコン膜15およびゲート絶縁膜14を選択的に除去し、図20(B)に示したように、第1のMOSFET20Aのゲート電極17Aおよび第2のMOSFET20Bのゲート電極17Bの第1の層17B1を形成する。このエッチングは、例えばTCP(登録商標)型エッチング装置を用い、Cl₂を流量70sccm、HBrを流量105sccm、O₂を流量

10sccmで供給し、圧力1PaのCl₂とHBrとO₂との混合雰囲気とし、300Wの出力にて行う。終点検出(EPD)後、さらに30%のオーバーエッチングを行う。

【0102】その後、図20(B)に示したように、不純物の選択的注入により、不純物領域18A、18Bを形成する。これにより、受光部10Aにはフォトダイオード19およびこのフォトダイオード19のスイッチング素子としてのMOSFET20Aを形成するとともに、周辺回路部10Bを構成するMOSFET20Bを形成する。フォトダイオード19はMOSFET20Aの不純物領域18Aの一方であるソースを兼ねる。不純物領域18A、18Bに注入される不純物は、NMOSFETの形成には例えばヒ素(As)、PMOSFETの形成には例えばホウ素(B)または二フッ化ホウ素(BF₂)などを用いる。

【0103】さらに、図21に示したように、基板11の全面を被覆するように、例えば50nmの厚さのシリコン窒化膜21を、例えば減圧CVD法により成膜する。シリコン窒化膜21の形成は、基板11を760℃の温度に加熱し、SiH₂Cl₂を流量50sccm、NH₃を流量200sccm、N₂を流量200sccmでそれぞれ供給し、圧力70PaのSiH₂Cl₂とNH₃とN₂との混合雰囲気にて行う。次いで、例えばLP-TEOSよりなる絶縁膜22Aを、例えばCVD法により厚さ例えば550nmで成膜し、リフロー処理を行った後、CMP法により平坦化する。絶縁膜22Aの形成条件は第1の実施の形態と同様とすることができる。また、リフロー処理は、例えばN₂雰囲気中において850℃で10分間行う。続いてCMP工程は、研磨液としてシリカ粒子を14重量%含むKOH水溶液を用い、この研磨液を150ml/分の流量で供給しつつ、研磨プレートを回転数20rpm、基板11を保持する試料台を回転数280rpmでそれぞれ回転させ、500gf/cm²の研磨圧力にて行う。研磨量は例えば400nmとする。

【0104】次いで、図22(A)に示したように、平坦化された絶縁膜22Aの上にフォトレジスト層41を形成し、このフォトレジスト層41を接続孔23および開口部23Bのパターンに従って選択的に除去する。パターンニングされたフォトレジスト層41をマスクとして、例えばマグネトロンRIE装置を用いたコンタクトRIEにより、絶縁膜22Aおよびシリコン窒化膜21を順にエッチング除去する。こうして、絶縁膜22Aの所定の位置、例えば素子分離膜12および不純物領域18A、18Bの上に、絶縁膜22Aを貫通する接続孔23を形成するとともに、第1の層17B1に対応する位置に絶縁膜22Aを貫通する開口部23Bを形成する。このとき、不純物領域18A上の接続孔23は、局所配線25Aに対応する形状となるように形成する。

【0105】絶縁膜22Aのエッチングは、例えば、C₄F₈を流量8 sccm、COを流量50 sccm、Arを流量300 sccm、O₂を流量5 sccmで供給し、圧力5.3 PaのC₄F₈とCOとArとO₂との混合雰囲気とし、RF電源により1700Wの出力にて電圧を印加し、オーバーエッチ率20%にて行う。

【0106】次いで、シリコン窒化膜21のエッチングは、例えば、CHF₃を流量40 sccm、COを流量160 sccm、O₂を流量14 sccmでそれぞれ供給し、圧力5.3 PaのCHF₃とCOとO₂との混合 10 雰囲気とし、RF電源により1000Wの出力にて電圧を印加し、オーバーエッチ率20%にて行う。

【0107】その後、図22(B)に示したように、フォトレジスト層41を除去し、接続孔23および開口部23Bの内面および基板11の表面全体を覆うように、密着層24を例えばスパッタ法により成膜する。密着層24の形成は、例えば以下のようにして行うことができる。まず、例えば、Arを流量35 sccmで供給し、圧力0.52 PaのAr雰囲気とし、投入電力8 kW、300℃にて、例えば厚さ30 nmのチタン層を形成す 20 る。次に、例えば、N₂を流量42 sccm、Arを流量21 sccmで供給し、圧力0.78 PaのN₂とArとの混合雰囲気とし、投入電力6 kW、300℃で、例えば厚さ70 nmの窒化チタン層を形成する。チタン層および窒化チタン層を形成した後、例えばN₂雰囲気中で、650℃、圧力101325 Pa (1 atm)で30秒間ランプアニール処理を行う。

【0108】その後、図23(A)に示したように、例えばタングステンよりなる例えば厚さ600 nmの第2の層17B2を、例えば非選択CVD(プランケットC 30 VD)法により成膜し、内面に密着層24が形成された接続孔23および開口部23Bを埋め込むとともに基板11全体を覆う。導電性接続層25は第2の層17B2と同一の材料により構成されているので、導電性接続層25の成膜と第2の層17B2の成膜とを同時に行うことができる。成膜条件は、例えば、WF₆を流量40 sccm、H₂を流量400 sccm、Arを流量2250 sccmで供給し、圧力10.7 kPaのWF₆とH₂とArとの混合雰囲気、成膜温度450℃とする。

【0109】続いて、図23(B)に示したように、例 40 えばCMPにより、接続孔23内および開口部23B内以外の第2の層17B2を除去し、絶縁膜22Aの表面を露出させる。これにより、接続孔23内には導電性接続層25が残るとともに、開口部23B内には第2の層17B2が形成される。このCMP工程は、研磨液として例えばSSW2000(商品名)およびH₂O₂水溶液を混合したものをを用い、この研磨液を150 ml/分の流量で滴下しつつ、研磨プレートを回転数16 rpm、基板11を保持する試料台を回転数280 rpmでそれぞれ回転させ、研磨圧力70 gf/cm²として行 50

い、研磨量としては終点検出(EPD)後、さらに10%のオーバー研磨を行う。

【0110】これにより、図23(B)に示したように、第1のMOSFET20Aのゲート電極17Aを単層構造として形成するとともに、第2のMOSFET20Bのゲート電極17Bを、第1の層17B1と第2の層17B2との積層構造として形成することができる。

【0111】その後、図19に示したように、例えばTEOSなどの酸化シリコン系材料よりなる絶縁膜22Bを形成し、図示しない上部配線層を形成する。さらに、図3に示したように、保護層29、反射防止膜28、カラーフィルタ26、マイクロレンズ27およびトップコート層30を配設する。こうして、本実施の形態に係るCMOSイメージセンサが完成する。

【0112】このように、本実施の形態では、STIにより素子分離膜12を形成した場合であっても、同一の基板11上に受光部10Aと周辺回路部10Bを形成し、受光部10Aの第1のMOSFET20Aのゲート電極17Aは単層構造、周辺回路部10Bの第2のMOSFET30Bのゲート電極17Bは第1の層17B1と第2の層17B2との積層構造として造り分けることができ、しかも第2の層17B2と同時に局所配線25を含む導電性接続層25をも形成することができる。よって、第1ないし第3の実施の形態と同様の優れた効果を得ることができる。

【0113】また、本実施の形態では、STIによる素子分離膜12上に導電性接続層25を設けているので、導電性接続層25をCMP法により研磨するだけで導電性接続層25と第2の層17B2とを同一の厚みで形成することができ、第1の実施の形態と異なり、エッチバック工程は不要となる。

【0114】以上、実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定されるものではなく、種々変形可能である。例えば、素子構造、エッチングガス、CMP等のプロセス条件は上記実施の形態において示した例に限られず、適宜変更することができる。

【0115】例えば、上記実施の形態では絶縁膜22Aの平坦化をCMPにより行う場合について説明したが、エッチバック法により行うこともできる。

【0116】また、上記実施の形態では素子分離膜12をLOCOSまたはSTIにより形成した場合について説明したが、素子分離膜12をこれ以外の他の方法により形成した場合についても本発明を適用することができる。

【0117】さらに、上記実施の形態では、本発明を、MOS型固体撮像装置として例えばCMOSイメージセンサに適用した例について説明したが、本発明は他の各種の半導体装置、例えばCMOS LSI、MOS LSI、バイポーラLSIなどへの適用も可能である。さらには薄膜トランジスタLSIなどにも適用可能である。

【0118】

【発明の効果】以上説明したように、請求項1ないし11のいずれか1項に記載のMOS型固体撮像装置によれば、同一の基板上に受光部と周辺回路部を形成することにより小型化および軽量化が促進されることは勿論であるが、そればかりでなく、受光部の第1のMOS電界効果トランジスタのゲート電極は単層構造、周辺回路部の第2のMOS電界効果トランジスタのゲート電極は第1の層と第2の層との積層構造であり、第2の層と導電性接続層とは同一の材料により構成されているので、受光部と周辺回路部とでゲート電極の構造が異なるにもかかわらず材料、構成および製造工程が簡素化されている。さらにまた、第2の層は、絶縁膜の第1の層に対応する位置に設けられ絶縁膜を貫通する開口部内に形成されるので、第1の層と第2の層との間には絶縁膜は介在せず、第1の層と第2の層との電気的接続のために別の層を追加して設ける必要はない。

【0119】特に、請求項2記載のMOS型固体撮像装置によれば、各光電変換素子に対向するようカラーフィルタおよびマイクロレンズを配設したので、白黒撮像だけでなくカラー撮像が可能となるとともに、開口率を向上させることができる。

【0120】また、特に、請求項3または請求項4記載のMOS型固体撮像装置によれば、受光部では、第1のMOS電界効果トランジスタのゲート電極を多結晶シリコン単層構造としたことにより、白点欠陥や暗電流などによるいわゆる出力値の浮きを防止し、再生画像の画質を向上させることができるとともに、周辺回路部では、第2のMOS電界効果トランジスタのゲート電極が、多結晶シリコンよりなる第1の層と、例えば多結晶シリコン、タングステンシリサイド、タングステンなどの金属を含んで構成された第2の層との積層構造となっているので、第2のMOS電界効果トランジスタのゲート電極が低抵抗化され、周辺回路部の高速動作、低消費電力化および機能向上を図ることができる。

【0121】請求項12ないし請求項21のいずれか1項に記載のMOS型固体撮像装置の製造方法によれば、まず第1のMOS電界効果トランジスタのゲート電極と第2のMOS電界効果トランジスタのゲート電極の第1の層とを形成し、これらを絶縁膜により覆った後に、絶縁膜に接続孔および開口部を同時に形成し、この接続孔および開口部内に同一の材料により第2の層および導電性接続層を形成するようにしたので、第1のMOS電界効果トランジスタの単層構造のゲート電極と第2のMOS電界効果トランジスタの積層構造のゲート電極とを、簡単な工程で、同一の基板上に造り分けることができ、しかも第2の層と同時に、接続プラグ、局所配線などの導電性接続層も形成することができる。また、第1のMOS電界効果トランジスタのゲート電極が形成された後は絶縁膜により保護されるので、従来のようなタングス

テンシリサイド膜のエッチングによる膜減りの虞がなく、第1のMOS電界効果トランジスタの単層構造のゲート電極を所望の膜厚で精度良く作製することができる。

【0122】特に、請求項13記載のMOS型固体撮像装置の製造方法によれば、第2の層の形成の際には、エッチバック法およびCMP法の少なくとも一方を用いるようにしており、特にCMP法を採用したことにより、層間絶縁膜などの絶縁膜の厚さを均一にすることができる。また、素子分離膜が例えばLOCOSにより形成されていてCMPによる研磨のみでは導電性接続層の厚みと第2の層の厚みとが同一にならないような場合には、CMPによる研磨後にエッチバックを行うことにより、導電性接続層または第2の層のみを選択的にエッチングすることができ、導電性接続層と第2の層との厚みの差を解消することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るMOS型固体撮像装置であるCMOSイメージセンサの受光部および周辺回路部の構成を対比して表す断面図である。

【図2】図1に示したCMOSイメージセンサの概略構成を表す説明図である。

【図3】図2に示したCMOSイメージセンサの概略断面図である。

【図4】図1に示したCMOSイメージセンサの製造方法を工程順に表す断面図である。

【図5】図4に続く工程を表す断面図である。

【図6】図5に続く工程を表す断面図である。

【図7】図6に続く工程を表す断面図である。

【図8】図7に続く工程を表す断面図である。

【図9】本発明の第2の実施の形態に係るMOS型固体撮像装置であるCMOSイメージセンサの受光部および周辺回路部の構成を対比して表す断面図である。

【図10】図9に示したCMOSイメージセンサの製造方法を工程順に表す断面図である。

【図11】図10に続く工程を表す断面図である。

【図12】図11に続く工程を表す断面図である。

【図13】図12に続く工程を表す断面図である。

【図14】本発明の第3の実施の形態に係るMOS型固体撮像装置であるCMOSイメージセンサの受光部および周辺回路部の構成を対比して表す断面図である。

【図15】図14に示したCMOSイメージセンサの製造方法を工程順に表す断面図である。

【図16】図15に続く工程を表す断面図である。

【図17】図16に続く工程を表す断面図である。

【図18】図17に続く工程を表す断面図である。

【図19】本発明の第4の実施の形態に係るMOS型固体撮像装置であるCMOSイメージセンサの受光部および周辺回路部の構成を対比して表す断面図である。

【図20】図19に示したCMOSイメージセンサの製

造方法を工程順に表す断面図である。

【図 2 1】図 2 0 に続く工程を表す断面図である。

【図 2 2】図 2 1 に続く工程を表す断面図である。

【図 2 3】図 2 2 に続く工程を表す断面図である。

【図 2 4】従来の CMOS イメージセンサの製造方法を工程順に表す断面図である。

【図 2 5】図 2 4 に続く工程を表す断面図である。

【図 2 6】従来の CMOS イメージセンサの他の製造方法を工程順に表す断面図である。

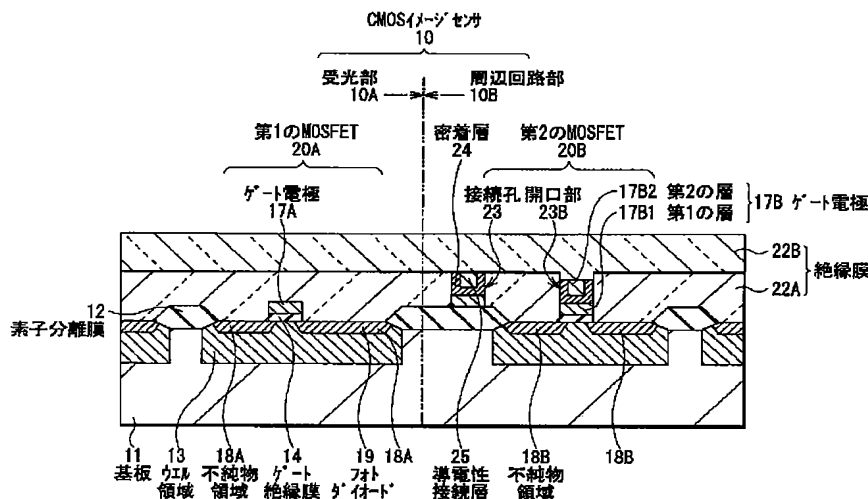
【図 2 7】図 2 6 に続く工程を表す断面図である。

【符号の説明】

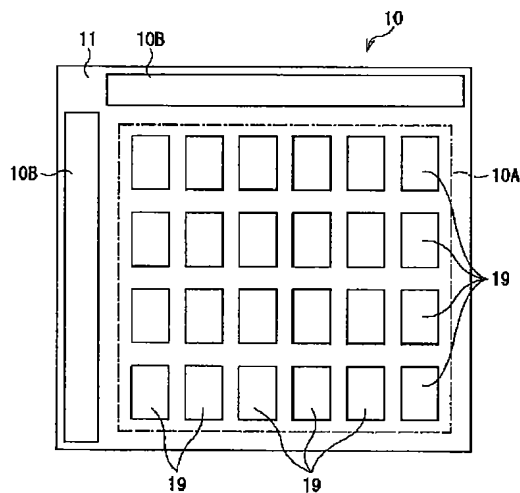
* 10…CMOS イメージセンサ、11…基板、12…素子分離膜、13…ウェル領域、14…ゲート絶縁膜、15…多結晶シリコン膜、17A、17B…ゲート電極、17B1…第1の層、17B2…第2の層、18A、18B…不純物領域、19…フォトダイオード、21…シリコン窒化膜、22A、22B、22C…絶縁膜、23…接続孔、24…密着層、25…導電性接続層、25A…局所配線、26…カラーフィルタ、27…マイクロレンズ、28…反射防止膜、29…保護層、30…トップコート層

*

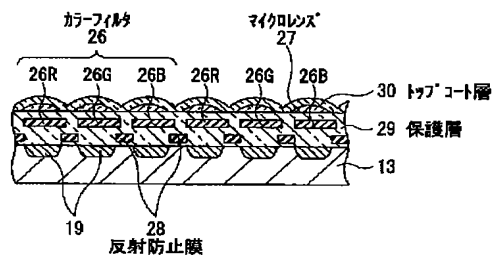
【図 1】



【図 2】



【図 3】



【図 1 6】

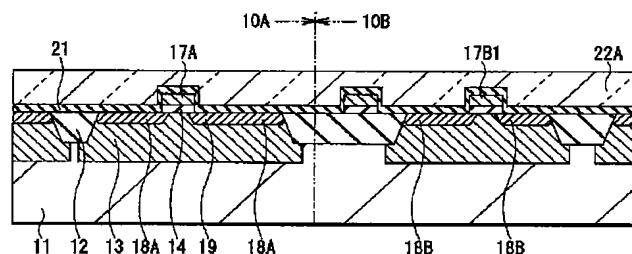
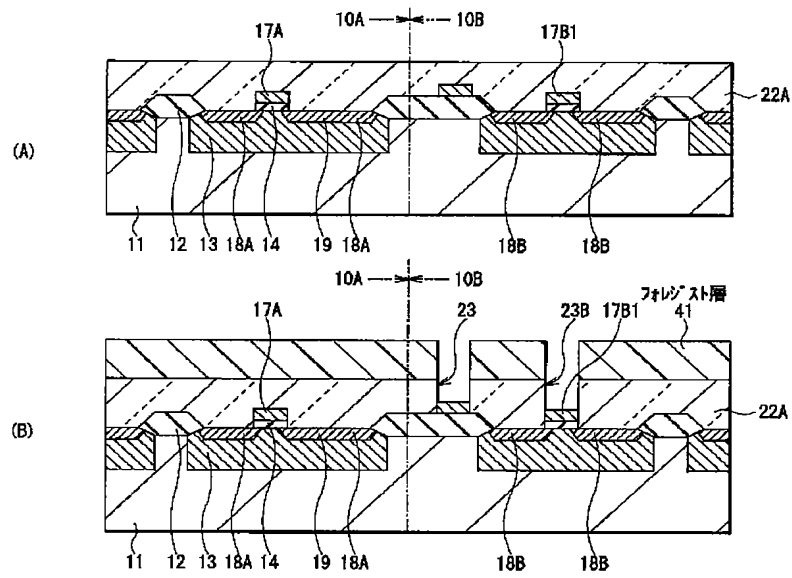
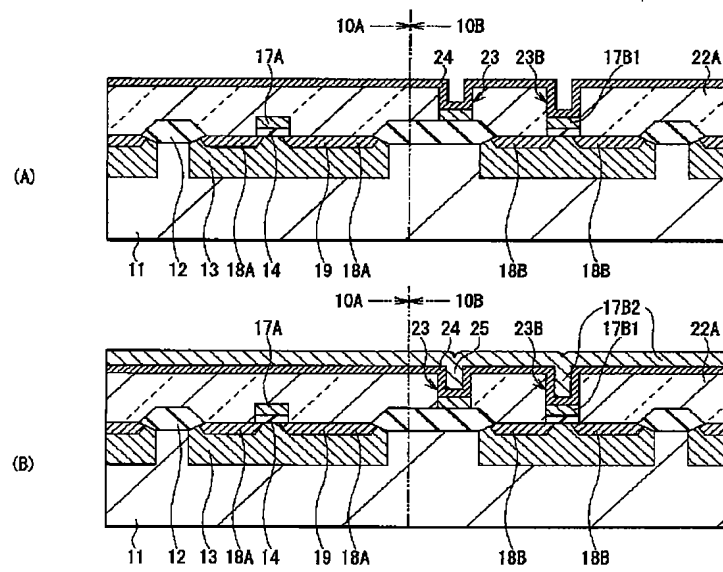


Figure 1 consists of two cross-sectional views, (A) and (B), of a semiconductor device. Both views show a substrate 11 with a gate insulating film 12 and a gate electrode 13. The gate electrode 13 is divided into two regions, 10A and 10B, by a vertical dashed line. In view (A), the gate electrode 13 is a single layer. In view (B), the gate electrode 13 is a multi-layer structure, with a polysilicon film 15 on top of the gate insulating film 12. The polysilicon film 15 is also divided into two regions, 10A and 10B, by a vertical dashed line. The regions 10A and 10B are labeled with arrows pointing to the respective regions. The gate insulating film 12 is labeled with a line pointing to the film. The substrate 11 is labeled with a line pointing to the substrate. The gate electrode 13 is labeled with a line pointing to the electrode. The polysilicon film 15 is labeled with a line pointing to the film.

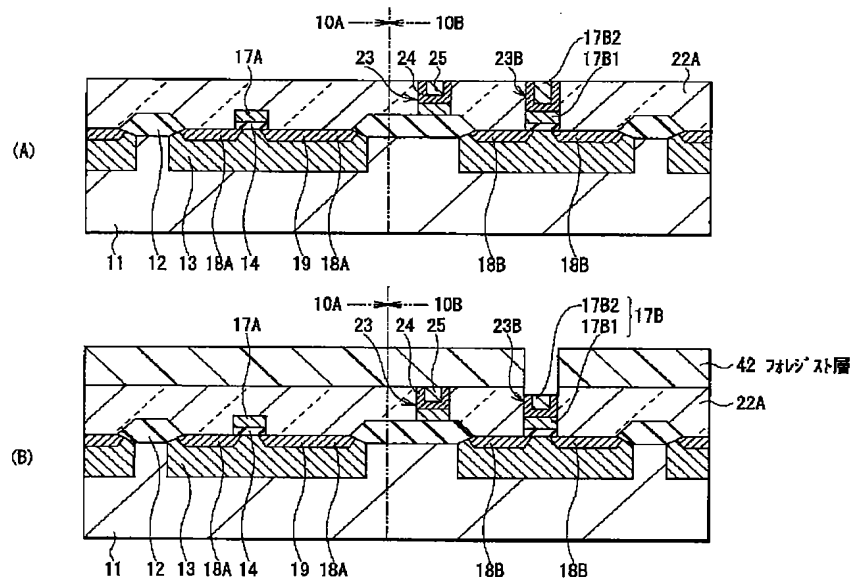
【図 6】



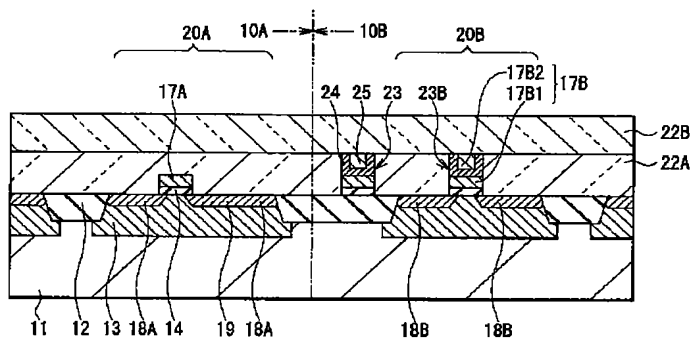
【図 7】



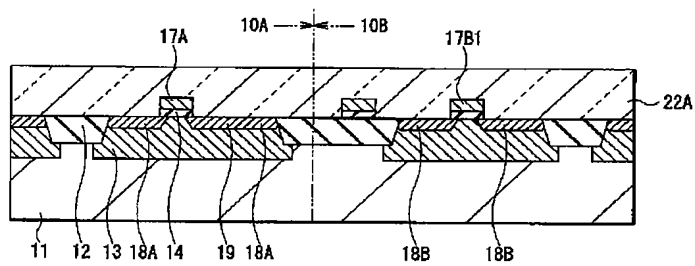
【図 8】



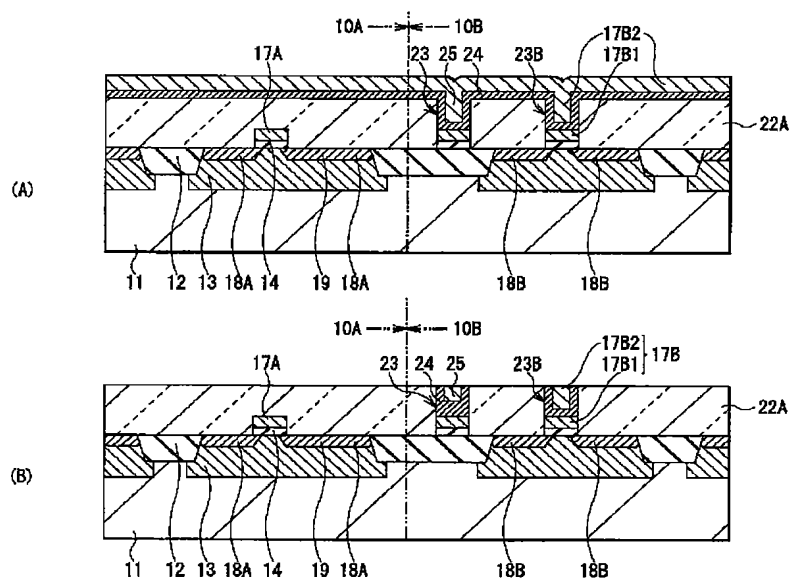
【図 9】



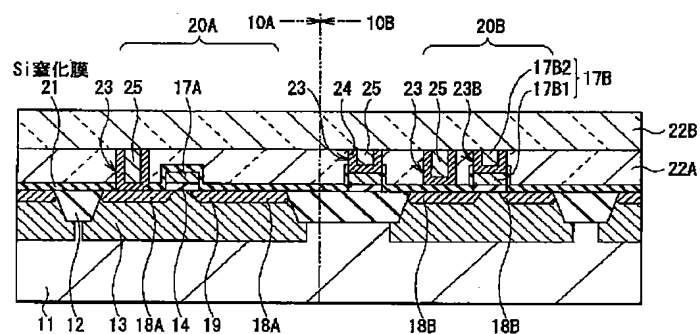
【図 11】



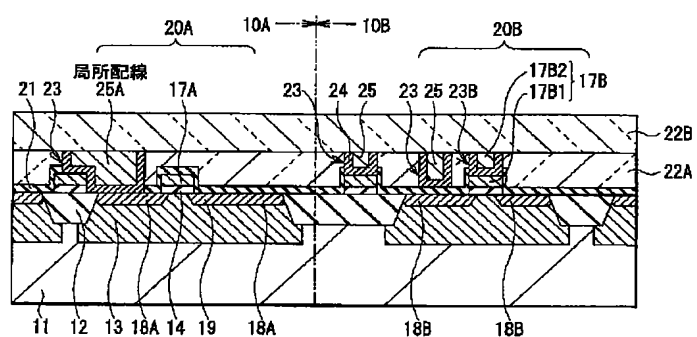
【図 13】



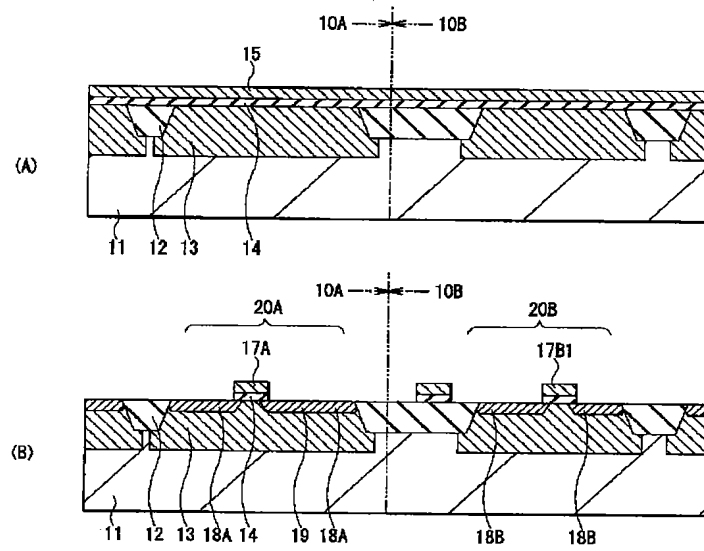
【図 14】



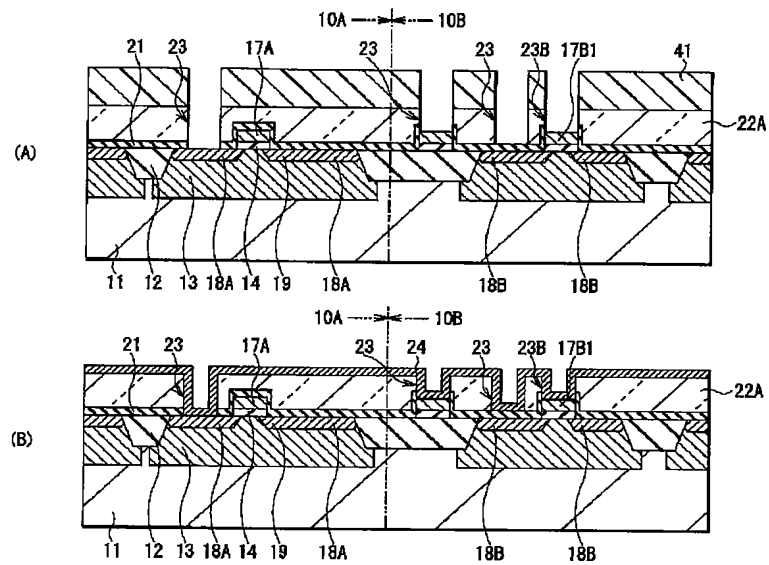
【図 19】



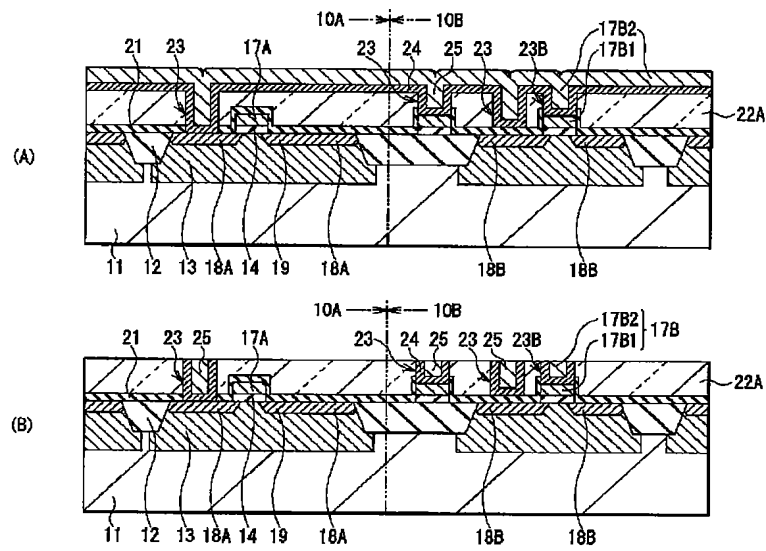
【図 15】



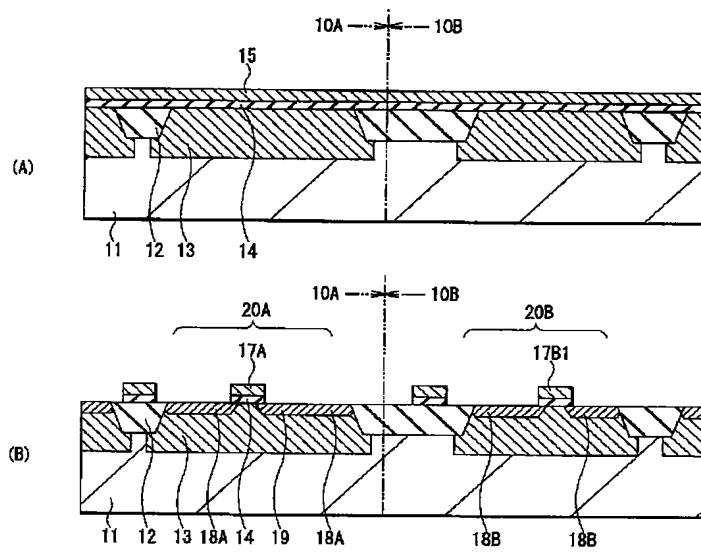
【図 17】



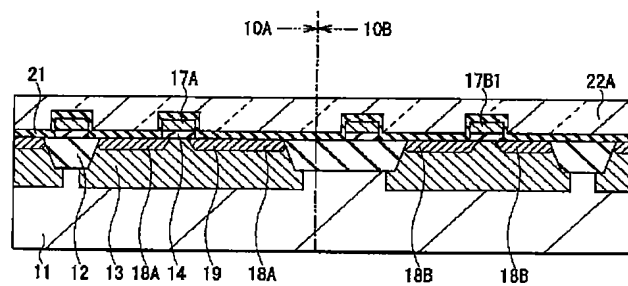
【図 18】



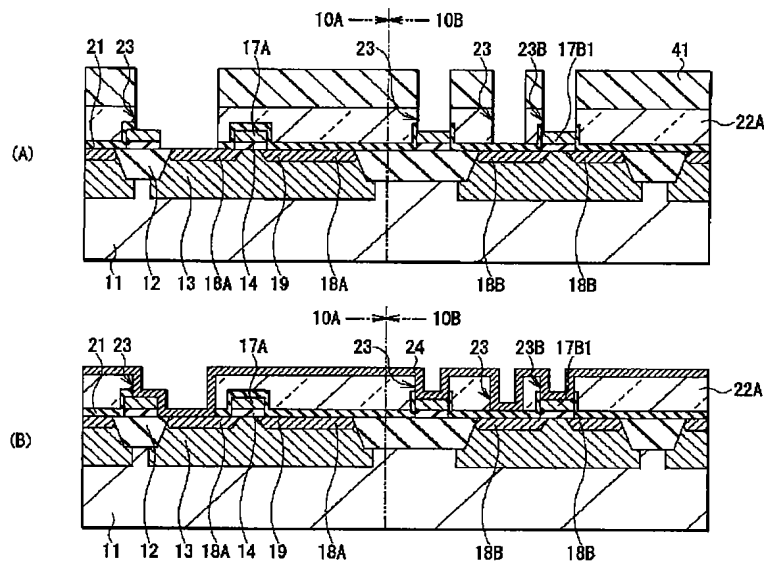
【図 20】



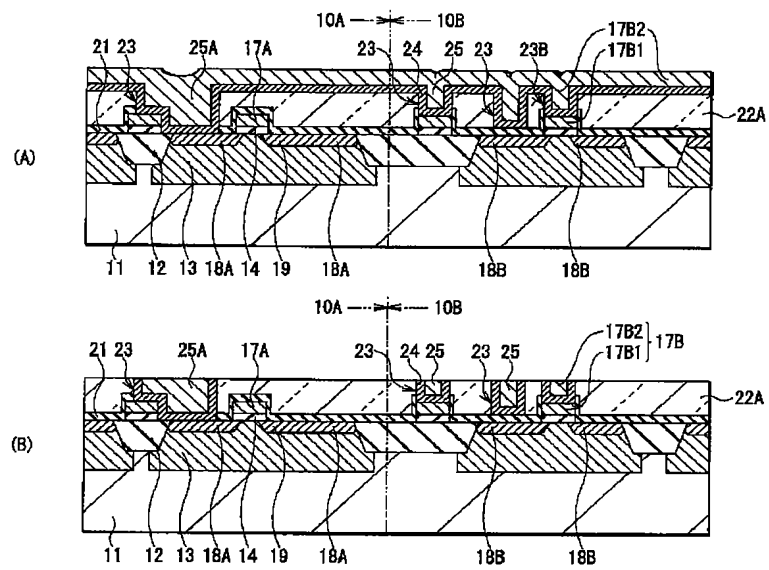
【図 21】



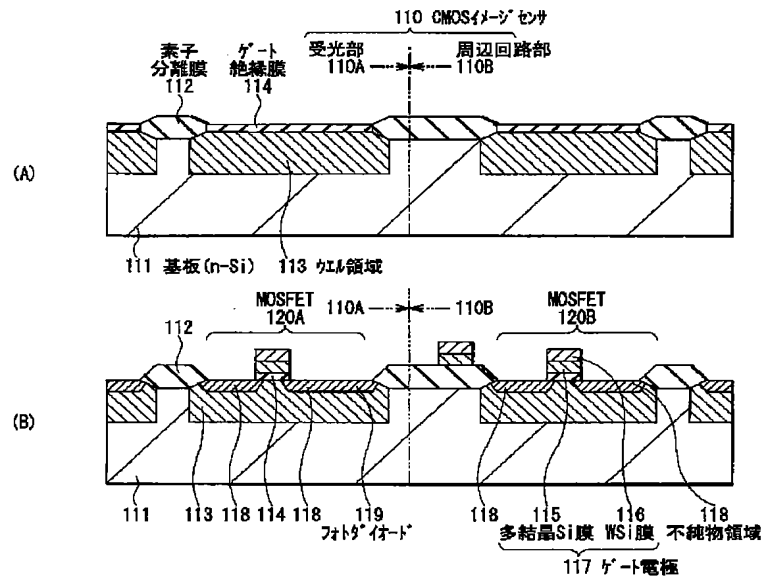
【図 22】



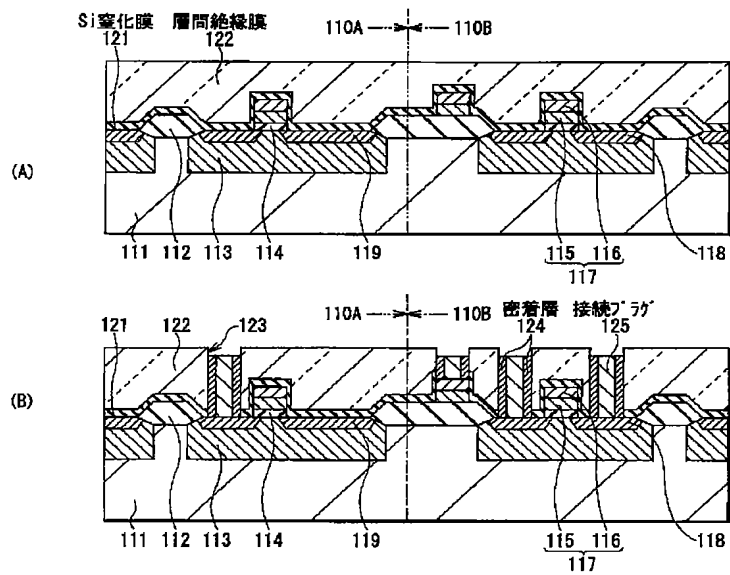
【図 23】



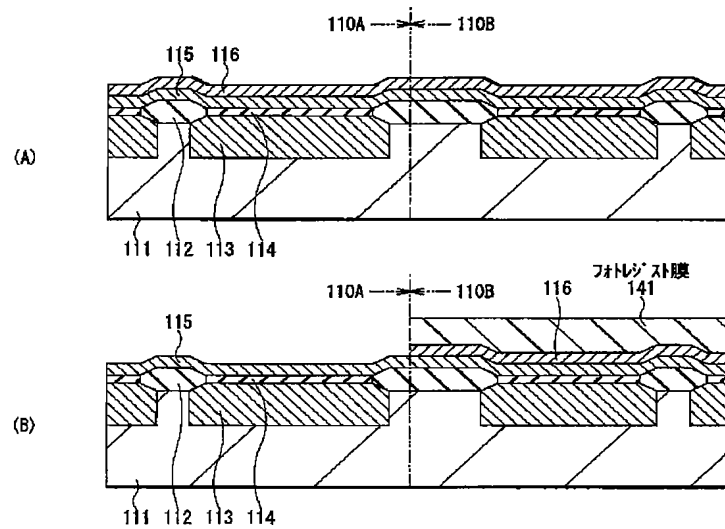
【図24】



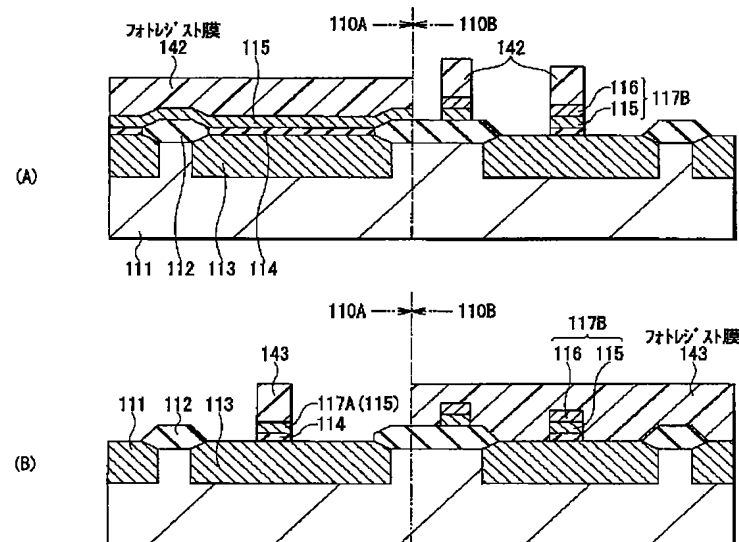
【図25】



【図 26】



【図 27】



フロントページの続き

(51) Int. Cl.⁷H01L 21/8234
21/8238

27/088

27/092

H04N 5/335

識別記号

F I

H01L 27/08

21/88

21/90

テーマコード (参考)

321D

102C

K

A

F ターム(参考) 4M104 AA01 BB01 BB02 CC05 DD05
DD08 DD16 DD37 DD43 DD66
DD75 DD80 FF06 FF13 FF22
GG05 GG09 GG10 HH09 HH16
4M118 AA10 AB01 BA14 CA03 EA01
FA06 FA28 FA50 GC08 GD04
5C024 CX37 CY47 EX43 EX52 GY31
5F033 HH04 HH18 HH19 HH33 JJ01
JJ18 JJ19 JJ33 KK01 KK04
MM02 MM05 MM12 MM13 MM28
NN06 NN07 NN08 QQ08 QQ09
QQ13 QQ16 QQ25 QQ37 QQ48
QQ73 QQ75 QQ82 SS04 SS11
VV06 XX10 XX14
5F048 AA01 AB10 AC01 AC03 AC10
BA01 BB05 BB09 BB10 BB13
BE04 BF03 BF07 BF12 BG12
BG14